



國立中山大學機械與機電工程研究所

碩士論文

Department of Mechanical and Electro-Mechanical Engineering

National Sun Yat-sen University

Master Thesis

打線封裝製程中銅釘架氧化與膠餅脫層之微結構分析

與製程條件優化

Microstructure Analysis on the Lead-Frame Oxidation,  
Compound Delamination and the Process Optimization in

Wire-bonding Packages

研究生：呂維銘

Wei-Ming Lu

指導教授：林哲信 教授

Dr. Che-Hsin Lin

中華民國 108 年 2 月

February 2019

# 論文審定書

國立中山大學研究生學位論文審定書

本校機械與機電工程學系碩士班

研究生呂維銘（學號：M053020066）所提論文

打線封裝製程中銅釘架氧化與膠餅脫層之微結構分析與製程條件  
優化

Microstructure Analysis on the Lead-Frame Oxidation, Compound  
Delamination and the Process Optimization in Wire-bonding Packages

於中華民國 年 月 日經本委員會審查並舉行口試，  
符合碩士學位論文標準。

學位考試委員簽章：

召集人 潘正堂 潘正堂 委員 林哲信 林哲信

委員 王郁仁 王郁仁 委員 郭文正 郭文正

委員 郭展穎 郭展穎 委員 \_\_\_\_\_

指導教授(林哲信) 林哲信 (簽名)

# 國立中山大學博碩士論文公開授權書



etd-0114119-044214

2019-02-14 16:45:08

本授權書所授權之論文為授權人呂維銘在國立中山大學機械與機電工程學系研究所107學年度第1學期取得碩士學位之論文。

論文題目：打線封裝製程中銅釘架氧化與膠餅脫層之微結構分析與製程條件優化

指導教授：林哲信

### 注意事項：

1. 依本校102年1月9日101學年度第1學期第10次行政會議通過，研究所畢業生可於上傳電子論文時自行選擇紙本及電子檔開放年限。
2. 因專利申請涉及論文公開時間，為避免因喪失新穎性而無法申請專利，請各位老師及同學上網參考「專利各項申請案件處理時限表」(網址路徑：經濟部智慧財產局→專利→專利情報通→專利處理時限)後再選定論文公開時間。另有關著作權相關資訊，請參考「經濟部著作權專區」(網址路徑：經濟部智慧財產局→著作權)。若尚有任何專利申請與著作權等相關問題，歡迎洽詢本校產學營運中心智財技轉組，分機2626。
3. 授權書一式兩份，經本人及指導教授共同簽名後，將論文公開授權書裝訂於審定書之後，辦理畢業離校時，除繳交一本論文至圖書館外，另一本繳交至教務處註冊組。

·電子檔：此項授權同意以非專屬、無償方式授權予本校圖書館，不限地域、時間與次數，以微縮、光碟或數位化方式將論文全文(含摘要)進行重製，及公開傳輸。亦提供讀者非營利使用線上檢索、閱覽、下載或列印。

立即公開傳輸數位檔案。

因特殊原因，校內校外(含國家圖書館)均永不將論文公開或上載網路公開閱覽。

※ 論文電子檔公開日期：校內永不公開，校外(含國家圖書館)永不公開。

·紙本論文：此項授權同意以非專屬、無償方式授權予本校圖書館，不限地域、時間與次數，以紙本方式將論文全文(含摘要)進行收錄、重製與利用；於著作權法合理使用範圍內，讀者得進行閱覽或列印。

同意立即公開。

因特殊原因，欲延後公開，永不公開陳覽

※ 紙本論文公開日期：永不公開。

※ 紙本論文永不公開原因：商業機密。

授權人：呂維銘

學號：M053020066

授權人： 呂維銘 (簽章)

呂維銘

指導教授： 林哲信 (簽章)

林哲信

中華民國 108 年 2 月 14 日

### ※ 此授權書嚴禁塗改

- 若欲修改權限，請登入系統修改後重新列印此授權書。
- 若論文已審核通過，請聯繫etd@mail.nsysu.edu.tw或校內分機2452，修改後重新列印並簽章。
- 授權書將自動列印兩份。請於圖書館和教務處辦理離校手續時，裝訂於繳交的紙本論文內。

## 致謝

一轉眼的時間，研究所的生涯也即將結束，一路走來跌跌撞撞，不論是在研究生或是在生活中，都是人生一個很重要的轉捩點，但很幸運這一路走來身邊都有很多貴人幫助著我，首先要感謝最重要的指導教授林哲信老師，還記得在剛剛進研究所的時候，還懵懵懂懂，很多做實驗的方向與做實驗一些該注意的事項都是由老師指點後，一點一滴的累積能力，也給我很多可以發揮自己想法的空間，實驗失敗雖然令人受挫，但老師依然給了許多好的方向讓我繼續前進，到最後才能有好的成果，同時也感謝口試委員郭文正老師、郭展穎主任、王郁仁老師、潘正堂老師，在最後口試的階段給我許多指正與建議，讓我的論文可以更完整。

感謝從一進研究所就一直很照顧我的白祥廷學長，一開始對實驗室設備都很不了解，都是由學長細心教學慢慢成長，研究卡關遇到問題時也給予我許多好的意見，對我的研究幫助很大。也感謝實驗室助理黃鈺珊，學長李政樺、翁國禎、方識傑、雷世勤、林哲緯，學姊高尉馨、翁琳凱、王君敏，指導我許多實驗製程的操作，以及實驗室的事物，並且分享許多經驗與研究的技巧，讓我的實驗更加順利。其中特別感謝方識傑學長在實驗室的生活增添了不少樂趣，給給我們許多人生的大道理，研究所的回憶裡少不了學長。感謝同屆的同學們李岱恩、嚴瑋星、鄭名栩、陳子捷，在實驗室裡總是互相激勵著，尤其是李岱恩同學，在做實驗總是給了許多輔助，讓我的實驗可以更順利進行。感謝學弟劉柏輝、許秩華、賴映燊、劉鎧豪、高嘉駿多方面的幫助，感謝日月光封裝廠 K6 郭展穎主任與黃祿翔工程師提供許多本研究的資料。感謝在研究所生涯時，常常陪伴我熬夜的林晉安，陪伴我度過許多受挫的夜晚，給予我向前走的一大動力。最後感謝人生最重要的爸爸媽媽以及哥哥，在生活中總是對我百般呵護，給我很多自由發揮的空間與信任。

# 中文摘要

本研究提出一創新的銅釘架前處理製程，針對在現今日月光半導體製造股份有限公司的 QFN 導線銅釘架封裝製程，進入封裝製程之前，先對銅釘架做一道預加熱製程，將銅釘架透過烘箱加熱，使銅釘架表面形成一層均勻的氧化層，並發現此一均勻的氧化層可以用來因應產線上高溫的打線製程需求而不會產生拖層現象。相較於未進行預加熱製程的銅釘架，當銅釘架進入高溫打線製程時，表面因覆蓋了晶粒，在銅釘架表面會形成有氧化區域與未氧化區域，其之間會出現一明顯介面，比對脫層 IC 發現氧化與未氧化的介面位置與 IC 出現脫層的位置相符合，因此進行了一系列系統性的實驗觀察與分析，結果的確在電子顯微鏡中可以觀察到因覆蓋晶粒而使銅釘架表面形成氧化與未氧化的明顯介面，並透過 ANSYS® 模擬系統發現，當 IC 表面有氧化與未氧化之結構時，往往無法承受溫度變化時在材料內部所產生的熱應力，在氧化與未氧化的介面會有明顯的應力集中，而進一步推斷是造成脫層現象的主要原因。所以本實驗發展了預加熱製程，透過此一均勻的氧化層來消除封裝製程中，因覆蓋晶粒而產生的不均勻氧化介面，並有效地降低在銅釘架中的應力介面，並更進一步進行產線測試，結果未進行預加熱製程之銅釘架，經過產線的可靠度溫度循環測試後，56 個樣品當中 56 個樣品均出現脫層，脫層機率为 100%，所有的 IC 皆出現脫層的現象，反觀有經過預加熱製程的銅釘架，56 個樣品沒有任何一個出現脫層現象，成功的將脫層機率降至 0%，因此確定預加熱製程可以解決此封裝製程中的脫層現象。此外，本實驗還透過了布丁模測試，了解不同加熱溫度以及加熱時間對於銅釘架表面與 EMC 之間的接合力關係，最終發現在烘箱內加熱 200°C，1 ~ 5 分鐘有穩定且符合產線需求的表面接合力，並且也確認此預加熱參數可以有效地解決產線中的脫層問題。

關鍵字：封裝製程、銅釘架、脫層現象、預加熱製程

# Abstract

This study proposed a novel pre-treatment process for copper lead-frame in the QFN(Quad Flat No-lead) packaging process which have been widely used in ASE Technology Holding Co., Ltd. Before copper lead-frame enter the packaging process, a pre-heat process is pre-treated on the copper lead-frame with passing through the oven. The pre-heat process induced a uniform oxide layer on copper lead-frame, and we found this uniform oxide layer can avoid copper lead-frame from delamination in the high temperature wire-bonding processes. Compared with the copper lead-frame without pre-heat process, the surface of copper lead-frame will be covered with a die. And due to the die we put on copper lead-frame, we found that the surface of copper lead-frame beneath the die will not be oxidized. When the copper lead-frame enters the high-temperature wire-bonding process, it will form a clear interface between oxidized area and non-oxidized area which is caused by the die. And we also found the delamination area is really close to the oxidized and non-oxidized interface. With the cross-section observation in the scanning electron microscope, we can see the significant interface between oxidized area and non-oxidized area which was caused by covering the die. Furthermore, we found that the shear stress of the interface is significant large with the ANSYS<sup>®</sup> simulation system. Such oxide-layer structure cannot bear the thermal stress generated when the temperature changes, and there is a significant stress concentration in the oxidized and non-oxidized interface, and further inferred to be the main cause of the delamination phenomenon. Therefore, this experiment developed a pre-heat process, which induces a uniform oxide layer to eliminate the uneven oxide interface caused by the covering die during the packaging process. The uniform oxide layer which induced by pre-heat process effectively reduce

the stress in the copper lead-frame. It can also be proved in the ANSYS<sup>®</sup> simulation system. All the results tell us the pre-heat process can be the solution to avoid copper lead-frame from delamination. Furthermore, we put both the original copper lead-frame and pre-heat one into production-line test. After the test and the reliability test, the copper lead-frame without pre-heat process was found that all of 56 samples were delaminated, the fail rate was 100%. In contrast, none of the 56 samples of the pre-heat copper lead-frame were delaminated. The fail rate is successfully reduced to 0%. Therefore, it is determined that the pre-heat process can solve the delamination problem in this packaging process. In addition, this study also does the pudding mold test to understand the relationship between the heating condition and the bonding force between the surface of the copper lead-frame and the EMC. Finally, it was found that the copper lead-frame heated in the oven at 200°C for 1 to 5 minutes is stable and confirmed that this pre-heat parameter can effectively solve the delamination problem happened in the production line and reliability test.

**Keywords:** packaging process, copper lead-frame, delamination, pre-heat process

# 目錄

論文審定書 .....	i
致謝 .....	iii
中文摘要 .....	iv
Abstract.....	v
目錄 .....	vii
圖目錄 .....	x
表目錄 .....	xiv
符號表 .....	xv
簡寫表 .....	xvi
第一章 緒論 .....	1
1.1 研究背景 .....	1
1.2 半導體封裝製程簡介 .....	2
1.2.1 主要晶圓封裝方式介紹 .....	2
1.2.2 打線封裝製程步驟介紹 .....	4
1.3 導線架 IC 中的脫層現象 .....	8
1.4 現今日月光 QFN 封裝產線 .....	13
1.5 動機與目的 .....	14
1.6 論文架構 .....	15
第二章 實驗原理 .....	16
2.1 抗氧化機制 .....	16
2.1.1 自組裝有機單分子抗氧化層處理 .....	16
2.1.2 六價鉻置換鈍化抗氧化層處理 .....	19



2.2 布丁模測試原理 .....	20
2.3 超音波顯微鏡原理 .....	21
第三章 實驗設計 .....	22
3.1 QFN 封裝製程流程 .....	22
3.2 抗氧化 .....	25
3.2.1 有機單分子層配方 .....	25
3.2.2 六價鉻鈍化液 .....	26
3.2.3 雙層抗氧化層 .....	26
3.3 IC 開蓋測試 .....	27
3.4 銅釘架表面布丁模測 .....	28
3.5 不同表面處理後的銅釘架進行產線測試 .....	30
3.5.1 產線實際製程測試 .....	30
3.5.2 可靠度溫度循環測試 .....	32
3.6 氧原子在銅釘架內擴散現象觀察 .....	34
3.7 銅釘架表面氧化層銅氧比分析 .....	35
3.8 氧化層內部應力分布 ANSYS® 模擬 .....	36
3.9 預加熱製程設計 .....	38
第四章 結果與討論 .....	39
4.1 銅釘架抗氧化效能探討 .....	39
4.1.1 產線測試結果 .....	40
4.1.2 表面性質 .....	41
4.1.3 脫層樣品分析 .....	42
4.1.4 氧化層內部應力 ANSYS® 分析模擬結果 .....	46
4.2 銅釘架預加熱製程效能探討 .....	49
4.2.1 銅釘架表面布丁模測試 .....	49

4.2.2 銅釘架表面氧化層分析 .....	50
4.2.3 產線測試結果 .....	52
第五章 結論與未來展望 .....	54
5.1 結論 .....	54
5.2 未來展望 .....	55
參考文獻 .....	56
自述 .....	59

# 圖目錄

圖 1-1 時下最流行的蘋果手機 iPhone X (A)其反面外觀，(B)在精美的外觀底下- 放置了大大小小不同功能的 IC[3] .....	2
圖 1-2 現今產業常見的半導體封裝方式：(A)DIP:雙列直插式封裝，(B)QFP:方形扁 平式封裝，(C)LGA:平面網格陣列封裝，(D)PGA:插針網格陣列封裝，(E)BGA:球 柵陣列封裝 .....	3
圖 1-3 QFN:封裝的 IC 樣貌[1] .....	3
圖 1-4 基本 QFN 封裝製程 .....	4
圖 1-5 QFN 封裝的斷面示意圖 .....	5
圖 1-6 接合力測試的示意圖 .....	6
圖 1-7 不同 EMC 與銅鎳矽合金以及鐵合金(Alloy-42) (A)接合力測試結果圖，以及 (B)可靠度分析結果圖[4] .....	7
圖 1-8 半導體封裝製程中常見的銀膠厚度與溢膠程度定義方式(A)BLT 量測厚度， (B)溢膠高度比例示意圖 .....	7
圖 1-9 有限元素法分析介面剪應力的結果圖[7] .....	8
圖 1-10 IC 脫層破裂機制示意圖[9] .....	9
圖 1-11 銅釘架在不同溫度時間的加熱對應的氧化層厚度關係圖(A)氧化層厚度對 時間圖，(B)氧化層厚度對時間對數座標圖[14] .....	10
圖 1-12 接合力測試示意圖(A)，以及探討氧化層厚度與 EMC 接合力隨著加熱時間 的變化圖(A)150°C 加熱時間與氧化層厚度以及接合力強度結果圖，(B) 200°C 加熱 時間與氧化層厚度以及接合力強度結果圖，(C) 300°C 加熱時間與氧化層厚度以及 接合力強度結果圖[17] .....	11
圖 1-13 脫層樣品的 STEM 圖(A)分析區域影像圖，(B)銅元素的元素分析結果圖， (C)氧原素的元素分析結果圖[18] .....	12

圖 1-14 出現脫層的樣品超音波顯微鏡結果圖，觀察脫層的地方位於晶粒的周圍 .....	13
圖 1-15 本研究的論文架構支狀圖.....	15
圖 2-1 分子結構式示意圖(A) 苯並三唑 Benzotriazole，(B) 1-甲基苯丙三唑 1-methyl-benzotriazole，(C) 2-甲基苯丙三唑 2-methyl-benzotriazole，(D) 4-甲基苯 丙三唑 4-methyl-benzotriazole，(E) 5-甲基苯丙三唑 5-methyl-benzotriazole [22]	17
圖 2-2 吸附在銅釘架上的 BTA 分子抵抗氧分子示意圖.....	18
圖 2-3 2024 鋁合金上進行鉻置換鈍化處理後的表面薄膜結構示意圖[28].....	19
圖 2-4 布丁模實驗示意圖.....	20
圖 2-5 利用超音波顯微鏡即時觀測 IC 受溫度循環時內部結構變化的架構圖[39]	21
圖 3-1 QFN 導線架封裝製程步驟示意圖：(A)以電漿清洗銅釘架表面(B)在銅釘架 中央滴上銀膠(C)放上晶粒(D)進行打線(E)EMC 封膠射出成型.....	22
圖 3-2 經過封裝製程後晶粒被包覆在 EMC 中的(A)透視示意圖，(B)實際斷面 OM 圖(倍率：100x).....	24
圖 3-3 銅釘架表面進行雙層抗氧化層後的表面結構示意圖.....	27
圖 3-4 IC 開蓋測試的簡單操作步驟，(A)完成封裝製程後的 IC 斷面示意圖，(B)將 IC 的外圍導線去除後的示意圖，(C) IC 被拉開後的示意圖.....	28
圖 3-5 布丁模測試之實驗架構圖(A)實際在銅釘架中央種上一顆 EMC 之樣貌與其 尺寸，(B)樣品固定的裝置，(C)推進器與壓力感測器的架構圖.....	29
圖 3-6 產線測試之操作步驟示意圖，(A)進入測試前先對銅釘架進行不同的前處理， (B)在 IC 中央點上銀膠，用以黏著晶粒，(C)放上晶粒，(D)模擬打線製程的加熱環 境與時間，(E)將 IC 以放入模具的方式灌入 EMC，(F)用超音波顯微鏡來掃描 IC 內部是否有出現脫層現象.....	32
圖 3-7 封裝廠所使用的可靠度溫度循環示意圖.....	33
圖 3-8 本實驗室所使用具有自動研磨手臂的研磨機.....	34

圖 3-9 XPS 銅釘架樣品準備步驟 .....	35
圖 3-10 本校的歐傑電子能譜儀 JAMP-9500F Auger Electron Spectroscopy 儀器圖 .....	35
圖 3-11 在 ANSYS® 中模擬不同氧化層結構的架構與尺寸圖，(A)原本的銅釘架其外部樣貌與尺寸，(B)畫出氧化與未氧化介面示意圖，(C)其氧化層與底部銅合金的尺寸細節，(D)經過預加熱製程的銅釘架其外部樣貌與尺寸，(E)經過預加熱製程後的氧化層示意圖，(F) 其氧化層與底部銅合金的尺寸細節 .....	37
圖 3-12 模擬系統內的加熱溫度線 .....	38
圖 3-13 銅釘架表面之氧化情形，(A)未經預加熱製程的表面氧化形貌示意圖，(B)經過預加熱製程後的表面氧化形貌示意圖 .....	38
圖 4-1 不同表面處理後的銅釘架在 200°C 高溫加熱的顏色顯現(A)初始時的顏色(B)在 200°C 加熱 1 分 30 秒的顏色(C) 加熱 3 分鐘的顏色(D) 加熱 5 分鐘的顏色(E) 加熱 8 分鐘的顏色(F) 加熱 10 分鐘的顏色 .....	40
圖 4-2 布丁模測試結果盒鬚圖 .....	42
圖 4-3 經過產線測試的樣品經過超音波顯微鏡的掃描圖，(A)是 IC 樣貌示意圖，(B)為未出現脫層現象的 ICSAT 圖，(C)有機抗氧化單分子層 SAT 圖，(D)雙層抗氧化層 SAT 圖，(E)鉻鈍化液處理 SAT 圖，(F)原本的銅釘架 SAT 圖 .....	43
圖 4-4 脫層樣品開蓋示意圖，由圖中紅線處拉開分成兩塊，(A)脫層位置 SAT 圖，途中左下角反白的位置即為脫層區域，(B)開蓋後的銅釘架面，(C)開蓋後的 EMC 面 .....	44
圖 4-5 將雙層抗氧化的脫層 IC 開蓋後的銅釘架面，晶粒位置與脫層區域影像圖 .....	45
圖 4-6 將日月光封裝廠提供已放上晶粒的銅釘架進行高溫 200°C 加熱 60 分鐘後，進行裹埋並研磨斷面後進到電子顯微鏡中觀察，分別拍攝了 500x、2000x 與 30000x 的 SEM 圖 .....	46

圖 4-7 透過 ANSYS® 模擬不同氧化層結構的內部應力分布，(A)未經過預加熱製程的氧化層簡化結構圖，(B)經過預加熱製程後的氧化層簡化結構圖，(C) 未經過預加熱製程的模擬結果圖，(D) 經過預加熱製程的模擬結果圖，(E) 未經過預加熱製程的模擬結果硬力集中區域放大圖 .....	47
圖 4-8 將不同溫度與加熱時間的銅釘架交到日月光封裝廠進行布丁模的測試結果圖，縱座標為推倒布丁模所需的最大作用力，橫坐標則為加熱的時間 .....	50
圖 4-9 不同預加熱製程之銅釘架 XPS 表面縱深分析結果，分別：(A)未經過預加熱製程(B)經過 1 分鐘預加熱製程(C)經過 5 分鐘預加熱製程(D)經過 10 分鐘預加熱製程的銅釘架表面氧化層分布結果 .....	51
圖 4-10 將原本的銅釘架與預加熱 1、5、10 分鐘的銅釘架其表面氧化層分層與厚度關係作直條圖 .....	52

## 表目錄

表 1-1 產線測試的結果統計可靠度溫度循環前後的 Fail rate 比較.....	13
表 3-1 四組不同預加熱時間的銅釘架操作流程比較表格.....	36
表 4-1 經過抗氧化配方處理後的銅釘架與未處理的 ASE 銅釘架進入產線與可靠度溫度循環測試的拖層機率比較.....	41
表 4-2 布丁模測試結果統計表格.....	42
表 4-3 銅、氧化亞銅與氧化銅的元素晶格與密度表.....	44
表 4-4 每組樣品中成功種上布丁模的樣品個數.....	50
表 4-5 預加熱製程銅釘架與原本的銅釘架經過產線測試結果.....	53

## 符號表

Al	鋁
AlOOH	水合氧化鋁
CrOOH	水合氧化鉻
Cu	銅
Cu <sub>2</sub> O	氧化亞銅
H <sub>2</sub> O	水
mm	毫米
MPa	百萬帕
nm	奈米
μm	微米



## 簡寫表

BGA	Ball Grid Array	球柵陣列封裝
BTA	Benzotriazole	苯並三唑
DIP	Dual In-line Package	雙列直插式封裝
EDS	Energy dispersive X-ray spectrometer	能量色散 X 射線光譜
EMC	Epoxy Molding Compound	環氧模壓樹脂
FEM	Finite element method	有限元素法
FIB	Focused ion beam	聚焦離子束
FTIR	Fourier transform infrared reflection absorption spectroscopy	紅外光吸收光譜儀
IC	Integrated circuit	積體電路
LGA	Land Grid Array	平面網格陣列封裝
NEXFS	Near-edge x-ray absorption fine structure spectroscopy	近緣 X 光吸收細微結構 光譜
PGA	Pin Grid Array	插針網格陣列封裝
QFN	Quad Flat No-lead Package	四方平面無引腳封裝
QFP	Quad Flat Package	四側引腳扁平封裝
SAT	Scanning acoustic tomography	超音波顯微鏡
SEM	Scanning electron microscope	掃描式電子顯微鏡
STEM	Scanning transmission electron microscope	掃描穿透式電子顯微 鏡
TTA	Methyl-benzotriazole	1-甲基苯並三唑
XPS	X-ray photoelectron spectroscopy	X 射線光電子能譜

# 第一章 緒論

## 1.1 研究背景

現今社會人手一支的手機，功能日新月異，不管是打電話、傳訊息抑或是拍照上網，都可以包含在一支手機裡面，使得現代人的生活已經與手機形影不離，而手機當中充滿了各式各樣大大小小不同的 IC(Integrated circuit)[1]，每個 IC 都有不同的功能，控制著不同需求的電路，要讓手機的壽命延長，對於 IC 的保護就相當的重要。像是圖 1-1 即是由蘋果公司推出現今最新的智慧型手機，其華麗的外殼底下就藏著許許多多不同的 IC，而這些 IC 就是組成這支手機最重要的零件之一。而電子產品最怕的不外乎就是，在長時間使用後，其內部的元件因接觸到外界的水分子造成短路，或是內部金屬元件與空氣中的氧原子產生氧化而導致元件的電性改變，因金屬氧化而提高了元件的電阻值，產生了更多的能量損耗，所以電子零件若無法有效的與空氣中的水分子與氧原子阻隔，其零件的效率壽命往往都會隨著使用的時間增加而降低，最終導致元件失效。而半導體 IC 縮小了常見的電路圖，將許多功能的統整到同一個 IC 當中，縮小了元件的尺寸，但也因為尺寸的縮小，其 IC 內部如果受到外界大氣中的水分子與氧原子，其失效的機率將遠遠大於一般所使用的電子零件，而且 IC 中不能像傳統電子零件一樣，將壞掉的零件換掉即可繼續使用，如 IC 中出現損壞或失效，那這顆 IC 就無法再使用，因此，關於半導體 IC 的保護更是重要，不但要能阻隔外界的溼氣，又或是不同地區的氣候[2]，以及內部材料長久使用下來的 IC 老化等問題，IC 的封裝便是維持現代許多使用 IC 控制的電子產品壽命相當重要的製程技術。

而封裝製程的目的就是為了有效的阻止外界的水氣或氧原子接觸到 IC 內部的元件，來達到減少 IC 內部因水氣或是氧原子所造成 IC 可靠度的下降，並提高 IC 遇到外力接觸時的 IC 強度，以降低 IC 在外力接觸時損壞的機會，更甚至透過新式的封裝可以與不同功能的 IC 做電性的連接以發展出更多的用途。

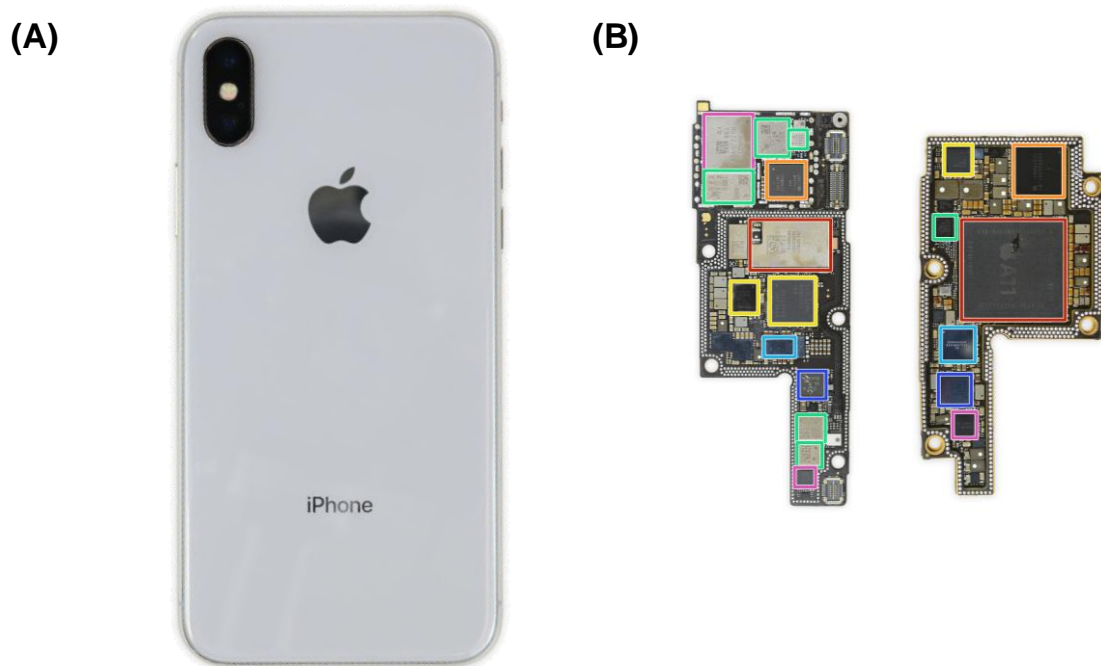


圖 1-1 時下最流行的蘋果手機 iPhone X (A)其反面外觀，(B)在精美的外觀底下-  
放置了大大小小不同功能的 IC[3]

## 1.2 半導體封裝製程簡介

### 1.2.1 主要晶圓封裝方式介紹

半導體封裝產業(Semiconductor Packaging Industry)發展至今，為了配合不同 IC 之接腳數量，或是後續裝置大小等需求，發展出了許多不同種的封裝方式，如圖 1-2 (A)為 DIP(Dual In-line Package)封裝，將 IC 所需之接腳引到 IC 兩側，並設計兩排的針型引腳，使其可以快速與其他元件接合，在許多電子元件皆可看到此類的封裝產品。圖 1-2 (B)則是 QFP(Quad Flat Package)封裝，為因應更多腳位需求的 IC，將 IC 的四周都做成了引腳，其封裝方式可容納引腳數目最多到接近 300 多個接腳。而圖 1-2 (C)LGA(Land Grid Array)封裝、圖 1-2 (D)PGA(Pin Grid Array)封裝、圖 1-2 (E)BGA(Ball Grid Array)封裝分別是不同接腳樣式的網格陣列式封裝，其接腳做成平面網格陣列，來達到最多的接腳數目，以及其更短的接線長度，比起前面所敘述之 DIP 封裝與 QFP 封裝有更佳的速度效能。

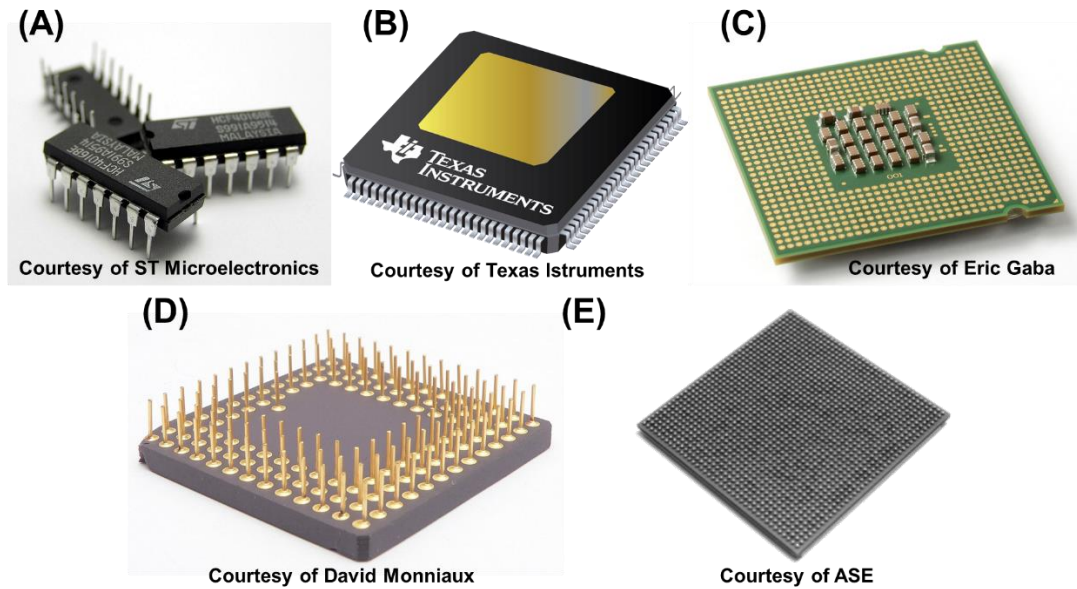


圖 1-2 現今產業常見的半導體封裝方式：(A)DIP:雙列直插式封裝，(B)QFP:方形扁平式封裝，(C)LGA:平面網格陣列封裝，(D)PGA:插針網格陣列封裝，(E)BGA:球柵陣列封裝

而本研究則是針對由 QFP 封裝方式衍伸而出的 QFN(Quad Flat No-lead)封裝為研究主題，如圖 1-3 所示，其差別在於 QFN 封裝少了外接引腳的設計，以及露出 IC 底部的導線架，相較於 QFP 封裝之體積更為精簡，以符合更小且更薄的 IC 要求，去除了接腳的設計，使其電路傳遞更快，且露出的導線架底部更可以提供內部 IC 散熱路徑，有效的降低 IC 工作時的 IC 溫度。



圖 1-3 QFN:封裝的 IC 樣貌[1]

## 1.2.2 打線封裝製程步驟介紹

當晶圓製造廠商將生產好的晶圓送至半導體封裝廠之後，就會接續著進入以下幾項製程步驟，舉 QFN 打線封裝(Wire bond packaging)為例，如圖 1-4：

- (A) 晶圓研磨(Wafer grinding)：一開始從上游廠商收到已經定義好表面電路圖的晶圓，而在進到封裝製程前得先將晶圓研磨至適當的厚度，而厚度的要求通常是依封裝的形式來決定。
- (B) 晶圓切割(Die saw)：在晶圓研磨至所需厚度後，下一步驟便是將一粒一粒的晶粒從晶圓上切割下來。
- (C) 晶粒固著(Die attach)：當晶粒從晶圓中分割出來後，為了後續的製程方便，會將晶粒固著於導線架上，而本製程所使用的導線架是以銅金屬為基底的銅釘架，並在外層有已鍍上銀的導線。在放上晶粒前，先在銅釘架上點銀膠，接著將晶粒黏著於其上，並加以烘烤使銀膠固化。
- (D) 焊線接合(Wire bonding)：當晶粒黏著於導線架中央後，便進入到俗稱的打線製程，為的是將晶粒上所設計的電路接點可以連接到導線架上，已透過導線架來與外部的元件進行電路整合。此製程為了確保打線的穩定度，會在一定的高溫下進行，而本研究的打線溫度則是高溫 200°C。
- (E) 模具灌膠(Molding)：膠餅壓注至模穴中，將晶粒與銅釘架包覆在內。

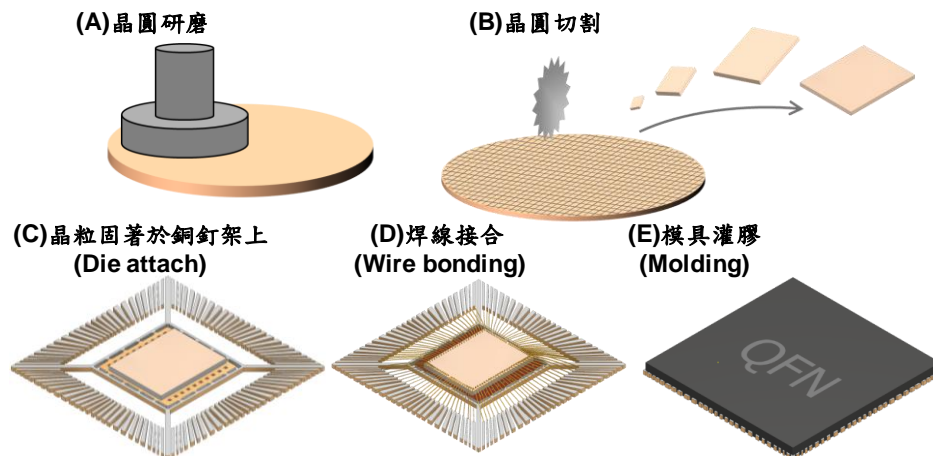


圖 1-4 基本 QFN 封裝製程

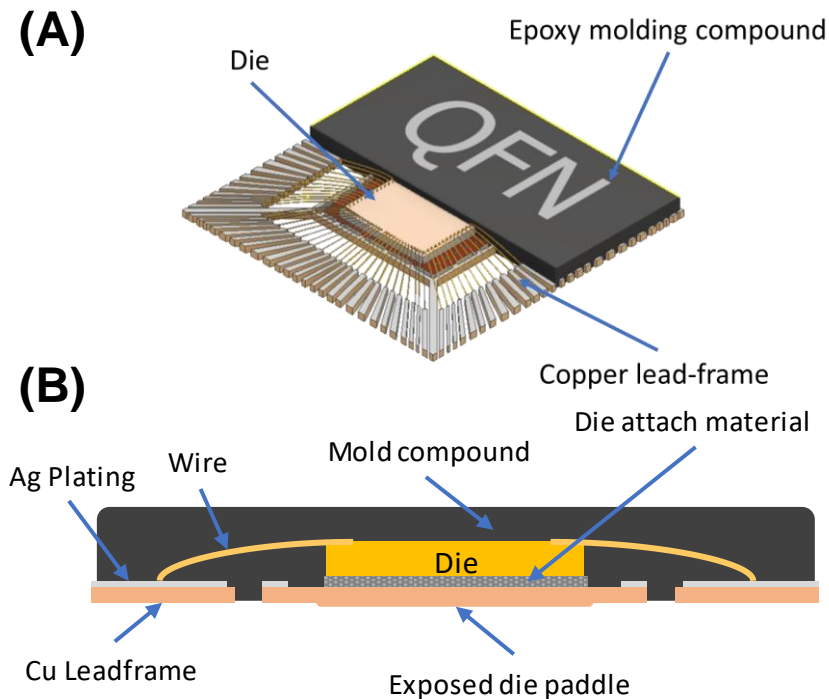


圖 1-5 QFN 封裝的斷面示意圖

IC 經過上述的封裝製程過後就會如圖 1-5 中所示一樣，晶粒被包覆在 EMC (Epoxy Molding Compound)之中，圖中我們可以看到，封裝完的 IC 是經過許多材料堆疊，每個材料都有自己的物理及化學性質，所以要使得每個材料之間可以良好的黏著或是接合，需要經過許多的實驗測試，像是 Ohsuga 等人[4]就做過了比較純銅、銅鐵合金、銅錫合金、銅鉻合金、銅鎳矽合金以及鐵合金(Alloy-42 & Alloy-50)多種不同合金元素的釘架與不同組成成分的 EMC 之間的接合強度測試，如圖 1-6，其利用模具灌膠的方式將 EMC 黏著在銅釘架的表面上，再對銅釘架以及剛種上去的 EMC 施以反向的拉力，並量測 EMC 被拉倒所需的最大作用力來推得其 EMC 與銅釘架的接合強度，Ohsuga 等人為了更進一步了解氧化層對於接合力的影響，於是時又增加了每組實驗樣品經過加熱後的接合力測試，其加熱參數為在大氣環境中加熱 200°C 持續 40 分鐘，最終的結果顯示：加熱前，含有銅的金屬當中，以純銅與 EMC 的表面接合力表現最佳，而銅錫合金是當中最差的。但鐵合金與 EMC 的接合力表現都高於銅合金純銅。然而經過熱處理後的試片，其接合力熱試結果都有增強的效果，尤其在銅合金的增強幅度比鐵合金更為顯著，甚至



銅鐵合金加熱後的接合力表現，還超過了原本最好的純銅合金的接合力，可以由此得知，200°C 加熱 40 min 的熱處理可以有效的增加金屬表面與 EMC 之間的接合力。

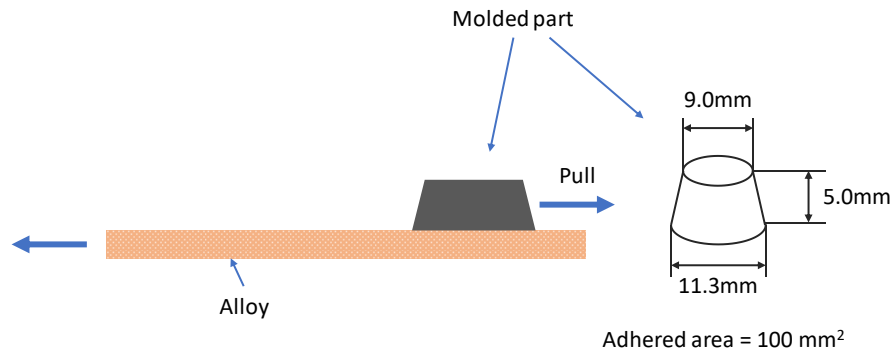


圖 1-6 接合力測試的示意圖

Ohsuga 等人也做了關於不同 EMC 與銅釘架之間接合力關係的實驗，他們分別進行了 5 種不一樣的 EMC 測試，並挑選了銅合金當中表現最好的銅鎳矽合金與鐵合金(Alloy-42)當作實驗對象，進行了接合力測試以及可靠度測試，其測試結果如圖 1-7，圖(A)中的縱座標為接合力強度而橫坐標則以英文 A、B、C、D 以及 E 來代表五種不同的 EMC，而鐵合金測試結果以斜線柱狀表示，銅鎳矽合金則以網狀表示，其中可以觀察出不管是銅合金亦或是鐵合金，他們的接合力趨勢是一致的，而尤其 A 的表現最佳，也可以得知鐵合金與每種不同的 EMC 之間的接合力都比銅合金好。更甚至做了可靠度的分析，如圖 1-7 (B)，在經過 24 小時的高濕度高溫度環境測試時，A 與 D 還未發生任何 IC 破裂，而 B、C 與 E 都已經有大部分的試片產生破裂，但再經過 48 小時的測試後，全部的 EMC 都有發生破裂的不良品，但 A 的發生率是最低的。由可靠度分析與接合力的測試結果比對，可以得知越好的接合力測試結果，就會有越低的破裂風險，其之間的關係可以透過此實驗得到驗證，也讓我了解，只要有效的提升銅釘架表面與 EMC 之間的接合力，便可以有效地降低脫層破裂風險[5, 6]。

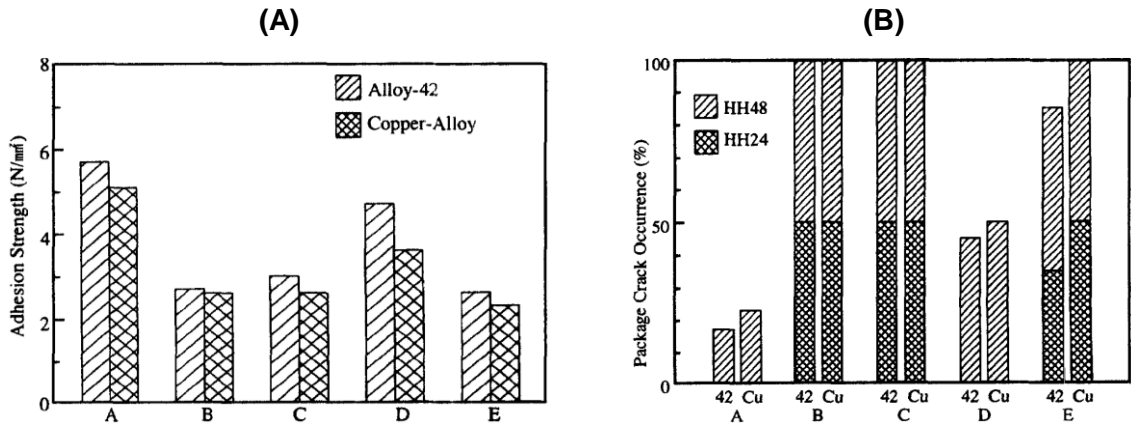


圖 1-7 不同 EMC 與銅鎳矽合金以及鐵合金(Alloy-42) (A)接合力測試結果圖，以及 (B)可靠度分析結果圖[4]

而 Agustin 等人[7]提出關於矽晶粒與基板或銅釘架之間的黏著劑用量控制，如果控制不好時，也是常常發生脫層現象的原因之一。此實驗中主要分析的因子有兩項：(A)在矽晶粒下方的黏著劑厚度 BLT(Bond line thickness)、(B)與黏著劑溢膠到晶粒外圍的高度比例(Fillet height)。如圖 1-8 所示，針對這兩項因子透過有線元素法去作交叉分析，並比對實際實驗結果，得到以下的結論。

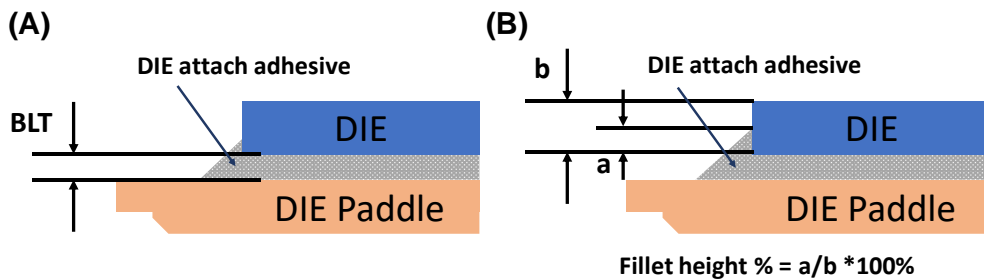


圖 1-8 半導體封裝製程中常見的銀膠厚度與溢膠程度定義方式(A)BLT 量測厚度，(B)溢膠高度比例示意圖

Agustin 等人透過有限元素法(FEM, Finite element method)分析不同 BLT 與 Fillet Height，其黏著劑與銅釘架表面的最大介面剪應力大小，如圖 1-9 所示，發現 BLT 達到 15 $\mu\text{m}$  以上時，其介面剪應可有效的降低，並且得知 Fillet height 對剪



應力的影響為正相關，當 Fillet height 越高時，其介面剪應力也相對提高，表示適當的控管 Fillet height，可有效的將最大介面剪應力降低。最後在參照實際實驗過後的樣品比對，觀察後發現未出現脫層或破裂現象的樣品其 BLT 皆大於 15  $\mu\text{m}$  以及 Fillet height 皆在大約 25% 以下，的三種樣品，結果顯示，只要有效的控制好黏著劑的 BLT 以及 Fillet height，便可以有效的降低破裂的風險。由他們的實驗結果也可以推斷，IC 內部不同介面之間的剪應力如果可以有效降低，便可以有效降低脫層風險[8]。

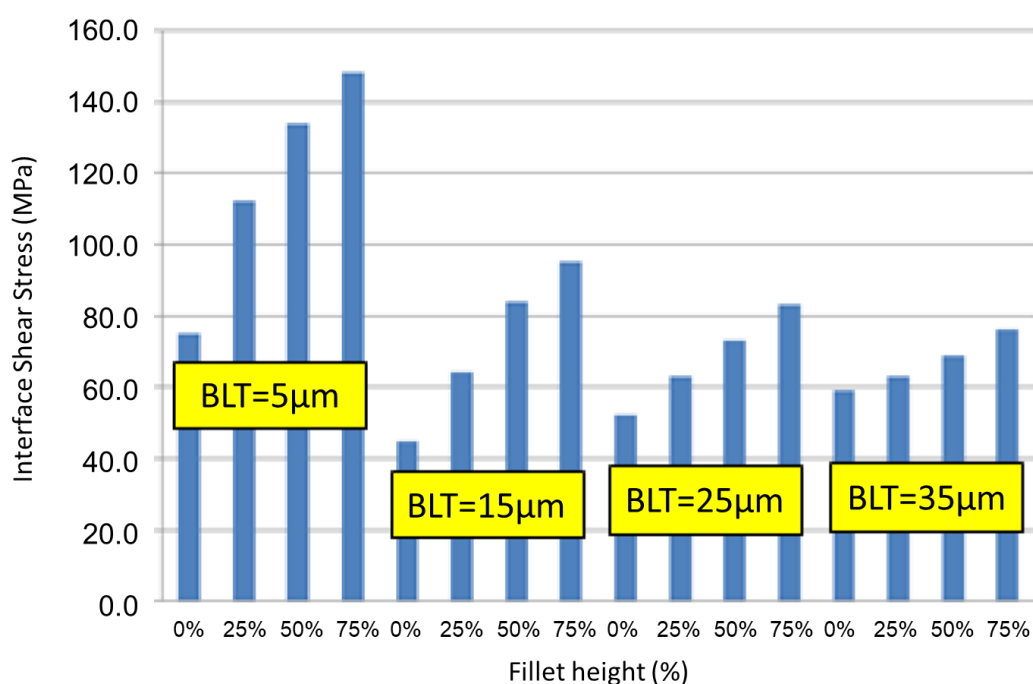


圖 1-9 有限元素法分析介面剪應力的結果圖[7]

### 1.3 導線架 IC 中的脫層現象

半導體封裝製程中，IC 產生脫層破裂現象是降低 IC 可靠度的一大主因，而使 IC 產生脫層破裂的原因與機制的研究探討在 1996 年由 Inoue 等人提出[9]，如圖 1-10 所示，首先是保護 IC 的樹脂吸收了來自大氣中的濕氣，進而在後續打線高溫製程時，內部因為其材料間的黏合力無法承受因加熱而產生的介面間剪應力，導致 IC 內部出現脫層(Delamination)，又由於脫層所產生局部的小空隙滲入了水氣，再經過後續製程的溫度變化時，便讓原本脫層產生的空隙慢慢擴張，出現爆裂現

象(Popcorn)，最後當樹脂無法承受內部水氣在溫度變化時所產生的熱脹冷縮效應時，IC 將會沿著晶粒載台邊緣產生破裂(Crack)，最終導致 IC 失效。

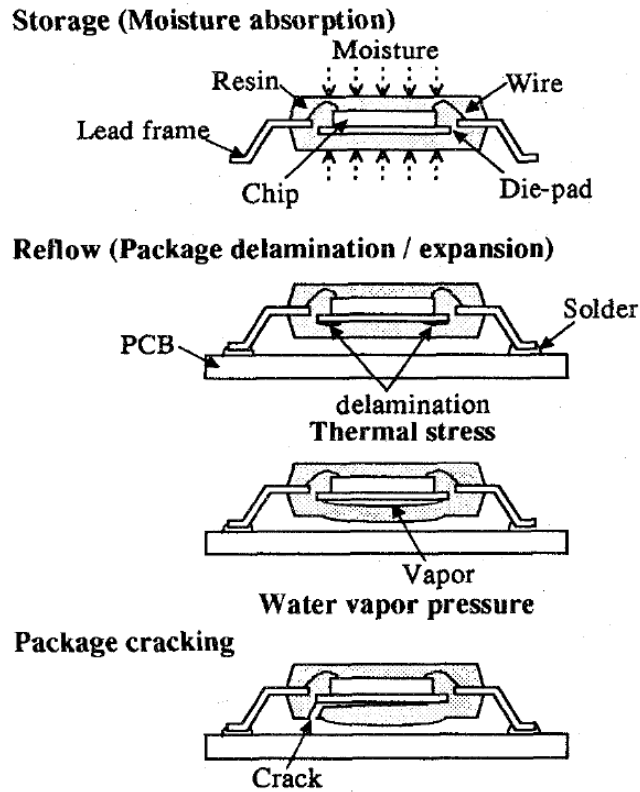


圖 1-10 IC 脫層破裂機制示意圖[9]

半導體封裝技術發展以來，脫層的產生原因可說是層出不窮，不同的封裝種類遇到的脫層原因五花八門，就算是在同一種封裝方式內，其發生脫層的原因也相當多元複雜，其中在銅釘架封裝中最常被討論的脫層原因則是因為銅釘架在高溫製程中，表面形成的氧化層所引起脫層現象[10, 11]，所以有非常多的研究團隊都針對銅釘架的表面氧化層進行分析研究[12] [13]，像是 Ang 等人[14] 提出脫層現象大多是出現在銅釘架以及 EMC 之間，並指出銅釘架表面所生成的氧化層是造成脫層的原因，並希望了解在不同加熱溫度以及時間與銅釘架表面所產生的氧化層厚度之間的關係[15] [16]，如下圖 1-11(A)所示，發現銅釘架在 200°C 大氣環境中加熱 10 至 120 分鐘的氧化層厚度從大約 100 nm 至 400 nm，而在 300°C 的加熱結果其氧化層厚度則從大約 500 nm 至 1400 nm，並可從圖中得知，氧化層的生長速率在 45 分鐘後有明顯減緩的趨勢。並發現氧化層的生長速度符合對數成長定律，

如圖 1-11 (B)所示。

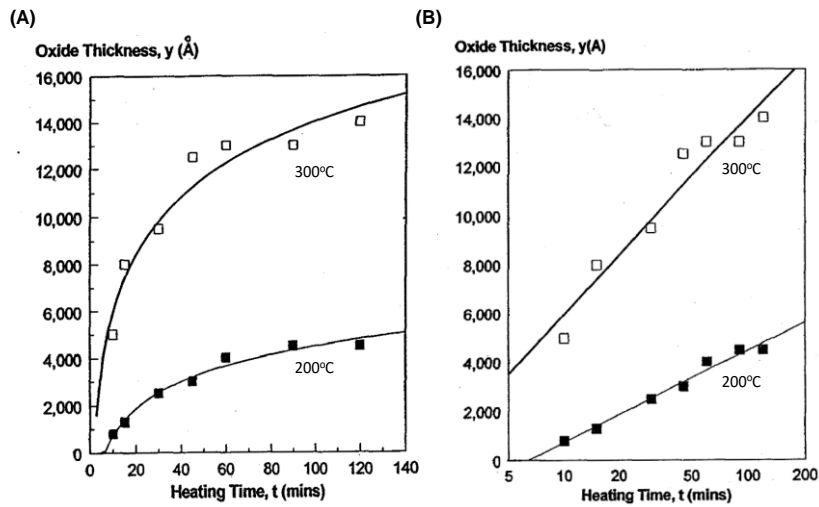


圖 1-11 銅釘架在不同溫度時間的加熱對應的氧化層厚度關係圖(A)氧化層厚度對時間圖，(B)氧化層厚度對時間對數座標圖[14]

另外，Cho 等人[17]也針對銅釘架表面與 EMC 之間的黏著力進行一系列的探討，他們設計了一接合力測試方式，如圖 1-12(A)所示。透過 EMC 將兩片銅釘架黏在一起，在對兩片銅釘架施以相反方向的力，並量測最後拉扯斷開時所需的最大作用力，來借此判斷銅釘架與 EMC 之間的接合力強弱。並針對銅釘架設計了三個不同溫度(150°C、200°C、300°C)與不同加熱時間，探討銅釘架表層的氧化層厚度與 EMC 之間的接合力大小關係，分別如圖 1-12 (B)、(C)、(D)所示，其中的氧化層厚度是透過電化學氧化還原法來量測。從測試結果圖中可以發現，橫坐標為加熱時間，而左方的縱座標為皆合力強度(MPa)，右方的縱座標則為氧化層厚度(nm)，由姐果觀察分析後發現，當銅釘架表面有大約 30~50 nm 的氧化層時，可以有效的增加其與 EMC 之間的接合力，是接合力表現最好的區段，而當氧化層厚度繼續增加時，接合力強度便有慢慢衰退的趨勢。這樣的結果其時告訴我們，氧化層的產生，如果可以良好的控制其氧化層厚度，便可以透過增加氧化層來達到優化表面接合能力的效用，而且最佳的氧化層厚度大約會落在 30~50 nm 之間。

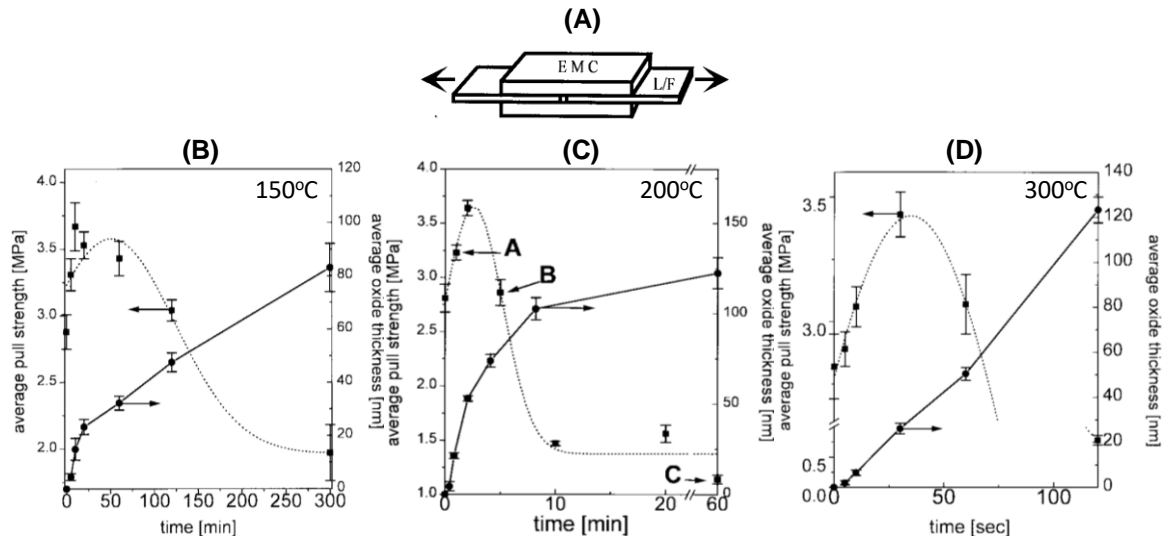


圖 1-12 接合力測試示意圖(A)，以及探討氧化層厚度與 EMC 接合力隨著加熱時間的變化圖(A)150°C 加熱時間與氧化層厚度以及接合力強度結果圖，(B)200°C 加熱時間與氧化層厚度以及接合力強度結果圖，(C)300°C 加熱時間與氧化層厚度以及接合力強度結果圖[17]

在 2016 年，由 Esa 等人[18]針對氧化層造成的脫層介面進行研究，首先他們針對銅氧化過後表面的粗糙度以及表面形貌觀察，比較經過不同溫度加熱後的表面形貌掃描式電子顯微鏡(SEM, Scanning electron microscope)圖，在銅釘架進行加熱前，其表面僅有粒徑約在 20 nm 的小結晶，而當表面在過 150°C 加熱三小時後，其表面的結晶有互相結塊的趨勢，其表面出現大約 50 nm 的結晶塊，而當銅釘架經過更高溫更嚴苛的 240°C 加熱三小時後，其表面結塊的趨勢又更為明顯，甚至可以看到有的超過 200 nm 的結晶塊。又更進一步使用原子力顯微鏡(AFM, atomic force microscopy)，觀察其表面粗糙度，量測範圍在每個樣品上取樣邊長為 5 μm 的正方形，並觀察發現銅釘架表面在越高溫的環境下氧化，其表面粗糙度有越來越大的趨勢。

Esa 等人更透過掃描穿透式電子顯微鏡(STEM, Scanning transmission electron microscope)針對在高溫 240°C 持續加溫 3 小時所出現脫層現象的樣品進行觀察，

如圖 1-13，表層的白金層是為了在樣品準備時，避免在聚焦離子束(FIB, Focused ion beam)切割樣品時造成樣品損壞，而沉積的保護層。由 mapping 結果可以發現，不管在裂縫上下方都有大量的銅原子訊號，而裂縫上方的氧原子訊號非常的多，而裂縫下方則幾乎沒有氧原子的訊號，由此結果可以推論，這個脫層的介面是位於 Cu 與 Cu<sub>2</sub>O 之間。由這個實驗可以讓我們了解，當銅氧化後，表層所形成的氧化層，其最脆弱的介面在 Cu<sub>2</sub>O 與 Cu 之間。

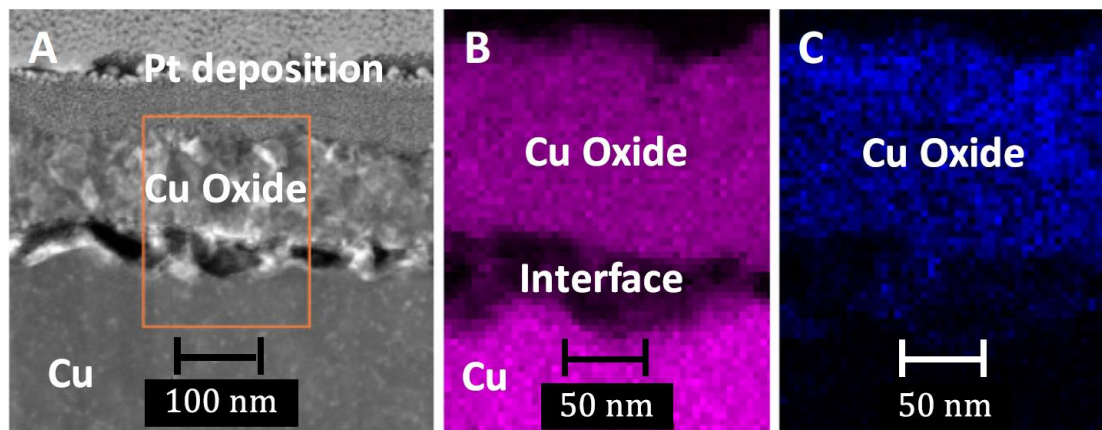


圖 1-13 脫層樣品的 STEM 圖(A)分析區域影像圖，(B)銅元素的元素分析結果圖，(C)氧原素的元素分析結果圖[18]

## 1.4 現今日月光 QFN 封裝產線

在現今日月光半導體製造股份有限公司(ASE, Advanced Semiconductor Engineering, Inc.)的 QFN 封裝中，打線製程是非常受到挑戰的製程步驟，因為打線的過程會使銅釘架暴露在高溫的環境中，是使銅釘架產生氧化最主要的製程步驟，而往往要降低或是避免脫層現象的發生，控制銅釘架表面的氧化層便是一項非常重要的課題，近期在打線製程中，由於客戶端的产品要求，希望將打線溫度由原本的 180°C 提高至 200°C，藉此來提高打線的穩定度，但在 200°C 高溫的環境下，銅釘架表面的氧化層厚度，使得脫層的機率變高，大幅的影響了封裝後的可靠度。

在 200°C 的打線製程溫度，在產線實際操作加上可靠度測試，結果如表 1-1 所示，總樣品數量為 21 個，而在可靠度溫度循環測試(Thermal cycling test)前，就有 10 個樣品出現脫層現象，而經過日月光內部的可靠度溫度循環測試後，其測試溫度為全部 21 個樣品都出現了脫層的現象。更進一步觀察其脫層的位置，如圖 1-14，發現產生脫層的地方都在 IC 的周圍，由這樣的測試結果可以讓我們知道，在 200°C 的打線溫度下，銅釘架無法承受如此高的溫度，在銅釘架表面與晶粒周圍形成了容易脫層的脆弱氧化層，導致產品出現 100% fail 的結果。在這樣的結果與前人的研究經驗，讓我們優先選擇從控制氧化程度來解決問題。

表 1-1 產線測試的結果統計可靠度溫度循環前後的 Fail rate 比較

	可靠度溫度循環測試前			可靠度溫度循環測試後		
	Numbers	Fail numbers	Fail rate	Numbers	Fail numbers	Fail rate
原本的銅釘架	21	10	47.6%	21	21	100%

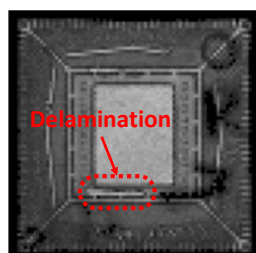


圖 1-14 出現脫層的樣品超音波顯微鏡結果圖，觀察脫層的地方位於晶粒的周圍

## 1.5 動機與目的

本研究是針對日月光半導體製造股份有限公司現行的 QFN 產線脫層問題進行研究與探討，脫層現象的發生在半導體封裝產業已是大家熟知且經常發生的問題，也有很多前人透過了不管是儀器分析來了解脫層現象所發生的介面，或是控制氧化層的厚度來避免銅釘架表面所產生脆弱的氧化層介面，來達到有效降低或是阻止脫層現象的發生。

在此封裝製程中，IC 的導線架是使用打線封裝中非常常見的銅釘架，雖然銅釘架在導電特性、熱傳導特性以及其元素的性價比跟其他金屬比起來都更適合拿來當半導體材料，但銅也是個容易與氧原子產生氧化現象的金屬元素，然而在封裝製程中，有許多製程都需要將銅釘架加熱在高溫中進行，由其是封裝製程中非常重要的打線製程，因打線材料的要求，需在高溫的環境下進行，而原本的打線溫度都在 180°C，在此溫度下，封裝完成的產品皆不會出現脫層的現象，而在現今的科技需求，客戶端期望透過更高的 200°C 打線溫度，以確保打線的品質，所以在新的打線需求下，必須將銅釘架加熱至高溫 200°C，更高的溫度也讓材料的特性更具有挑戰，並且因為打線機台的設計與操作，每片銅釘架平均都須在高溫 200°C 中被加熱 9 分鐘。銅釘架在如此高溫且暴露於大氣環境中，其表面必然產生嚴重的氧化現象，前人許多研究當中也都表示，過厚的氧化層往往是導致封裝完成後的 IC 產生脫層更甚至是爆裂現象的一大重要因子。

因此本研究便是針對在現行封裝打線製程中，所產生的脫層現象進行研究，了解脫層發生時，材料內部是否會有應力集中的介面，以及氧化層形成後，發生脫層是在哪個介面(氧化銅與氧化亞銅之間又或是氧化亞銅與純銅之間)並期望可以透過簡單的前處理製程，例如在表面鍍上一層抗氧化層，用以減緩銅釘架表面的氧化速度，或是先將要進入產線的銅釘架進行表面的前處理，以有效的解決因氧化層而造成的脫層不良品現象。

## 1.6 論文架構

本論文共分為五章節，包含緒論、實驗分析原理與測試方法、實驗設計與架構、實驗結果與討論、結論與未來展望，為此論文架構之支狀圖。

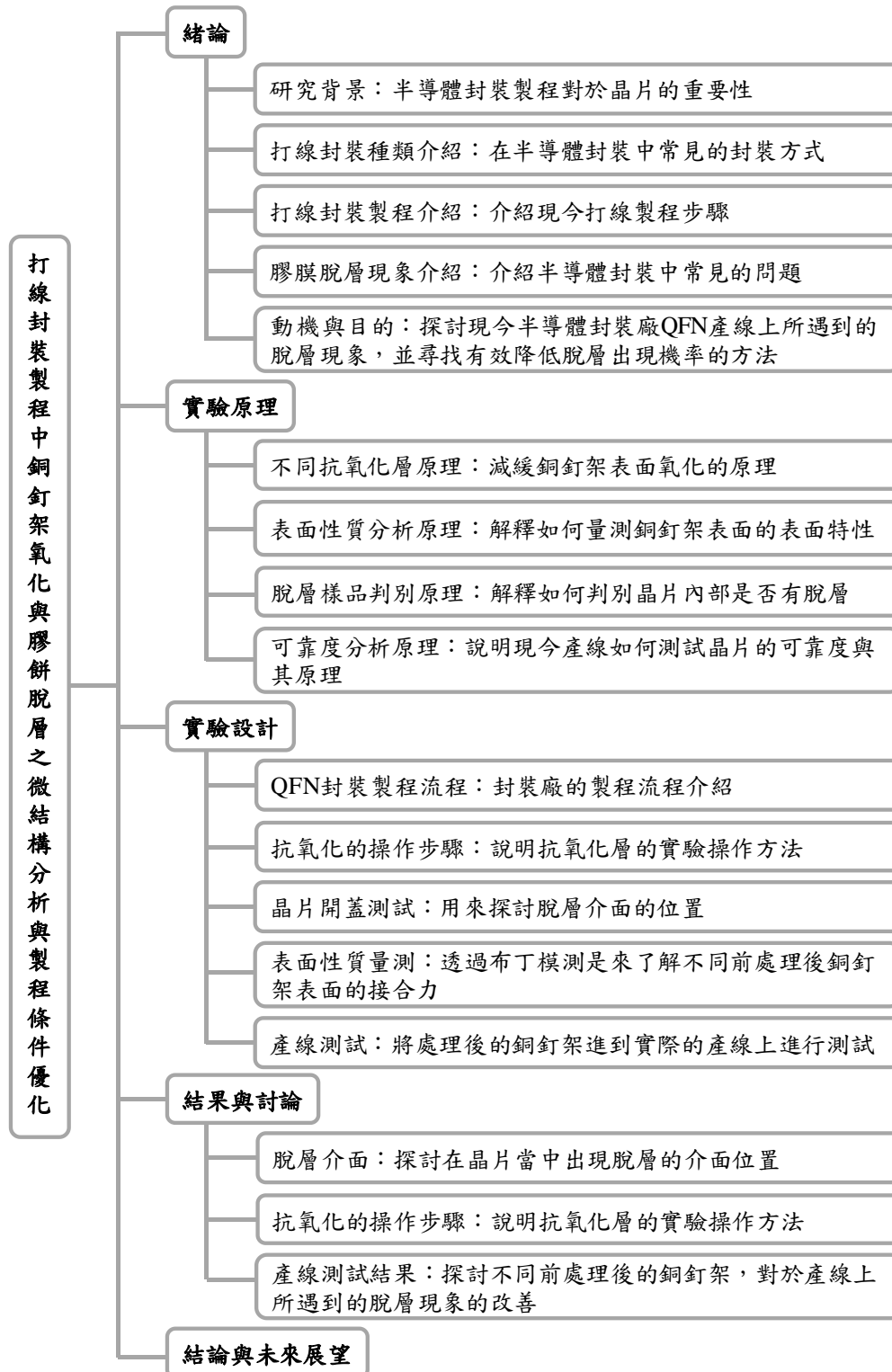


圖 1-15 本研究的論文架構支狀圖



## 第二章 實驗原理

### 2.1 抗氧化機制

金屬的抗氧化方是有非常多種，像是透過有機單分子吸附在金屬表面，利用有苯環分子結構的有機分子[19]，其分子形狀就像是香菇一樣，在表面形成一層保護層來阻擋氧原子進到金屬表面造成氧化，又或是利用鉻金屬本身的防鏽特性，在需要防鏽的金屬表面形成一層鉻層，因為鉻在金屬表面會先被氧化，而氧化鉻是一層非常緻密的金屬氧化層，可以有效地阻止氧原子再繼續往金屬的內部擴散，達到抗氧化的目的，來減少氧化層的厚度。

#### 2.1.1 自組裝有機單分子抗氧化層處理

在現今工業中，針對銅金屬表面的抗腐蝕氧化方法有非常多種，其中一種已被許多研究團隊發表過的方法是利用帶有苯並三唑(BTA, Benzotriazole)為其分子基本結構的有機分子，早在 1970 年，由 Poling[20]就曾經透過紅外線反射光譜儀(Infra-red reflectance spectra)發現此類的有機分子可以沉積於銅的表面，形成一安定的有機單分子層，而在 1979 年，由 Fox 等人[21]提出此一有機分子層可以有效的減緩銅的腐蝕速率以及氧化速率，並可在短時間內讓銅不產生氧化，甚至發現透過更長時間的化學作用沉積，可以堆疊出更多層有機分子保護層。1989 年，Tornkvist 等人[22]使用傅立葉轉換紅外光吸收光譜儀(FTIR, Fourier transform infrared reflection absorption spectroscopy)以及極化阻抗測量(polarization resistance measurements)來分析 BTA 分子與在 BTA 中不同位置接上一甲基的甲基苯丙三唑  $C_7H_7N_3$  (methyl-benzotriazole)，如圖 2-1 所示，在其沉積的保護層厚度與對銅金屬的抗腐蝕能力都有所差異，其中發現以 4-甲基苯丙三唑(4-methyl-benzotriazole)與 5-甲基苯丙三唑(5-methyl-benzotriazole)其對於銅表面的抗腐蝕效能來的比 BTA 要更優異。1998 年，由 Walsh 等人[23]透過近緣 X 光吸收細微結構光譜(NEXFS,

near-edge x-ray absorption fine structure spectroscopy)分析 BTA 分子在銅金屬表面的吸附排列特性，發現 BTA 透過其分子內的氮原子提供孤對電子(Lone pair)與  $\pi$  鍵去跟銅金屬表面進行化學吸附結合，在銅的最表面 BTA 分子會幾乎垂直於銅表面，使其分子均勻吸附站立於銅的表面，形成一保護層，並發現也有不同角度接合的 BTA 分子，如圖 2-1 所示，其圖中有三種不同的接合模式：(a)為 BTA 分子中最突出的氮原子單獨與銅表面接合，(b)為 BTA 分子其中兩個氮原子與同表面接合，(c)為 BTA 分子的三個氮原子都與銅原子接合，其中一個氮原子是跟第二層的銅原子相接。並發現此一保護層厚度大約在 100 Å 至 500 Å 之間，是種非常安定並具有長時效性的有機保護層，所以非常適合拿來當作銅金屬的表面抗氧化層。

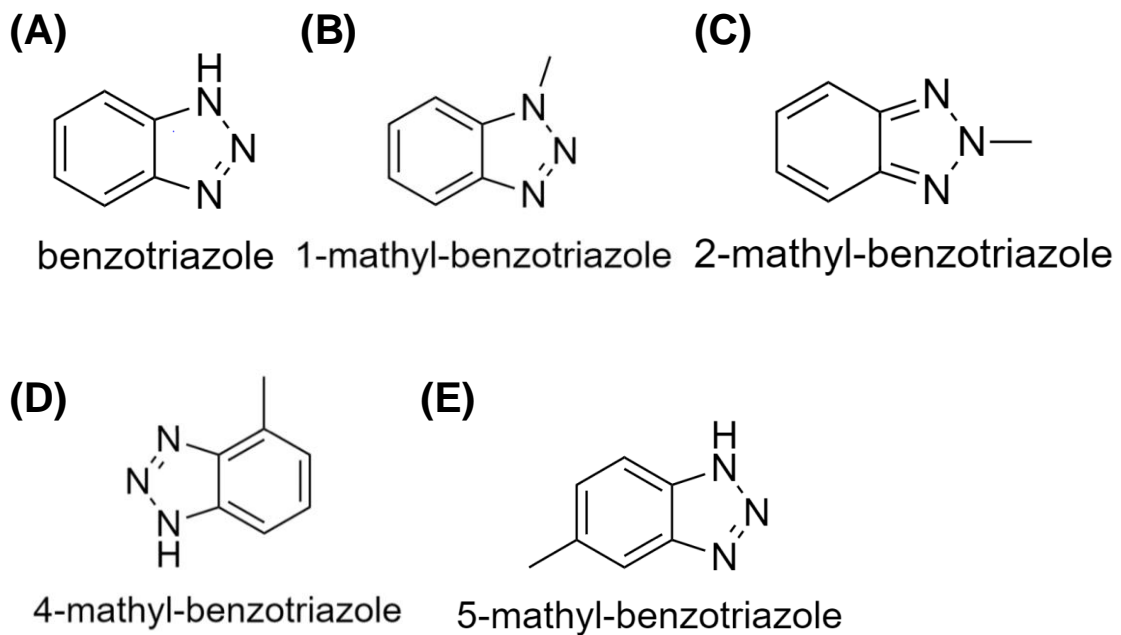


圖 2-1 分子結構式示意圖(A) 苯並三唑 Benzotriazole，(B) 1-甲基苯丙三唑 1-methyl-benzotriazole，(C) 2-甲基苯丙三唑 2-methyl-benzotriazole，(D) 4-甲基苯丙三唑 4-methyl-benzotriazole，(E) 5-甲基苯丙三唑 5-methyl-benzotriazole [22]

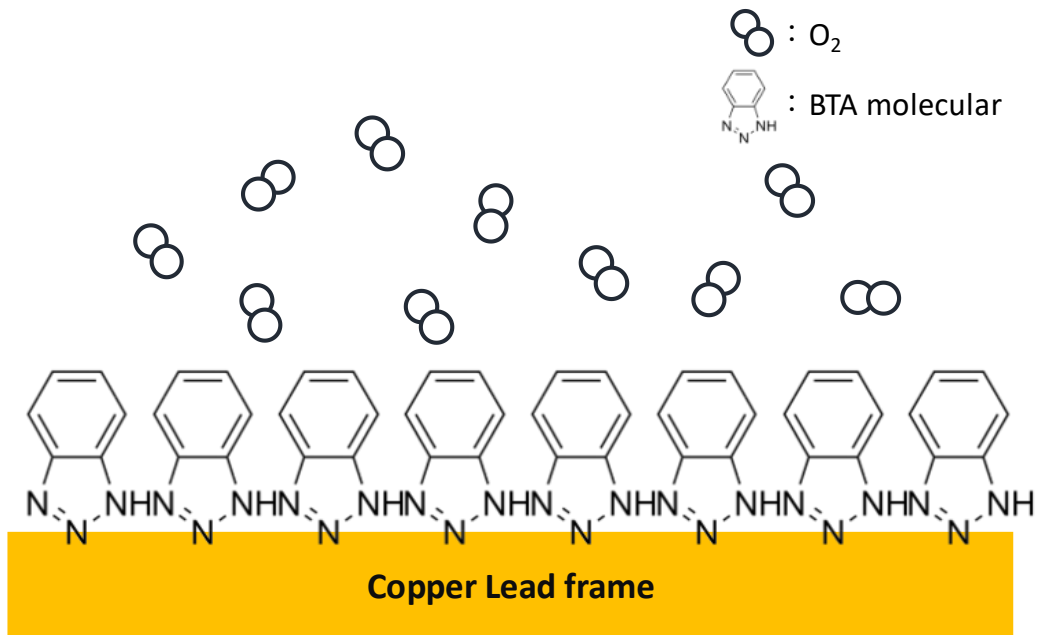
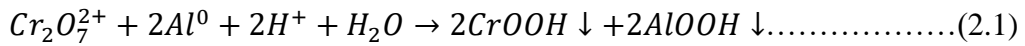


圖 2-2 吸附在銅釘架上的 BTA 分子抵抗氧分子示意圖

當在銅的表面站滿了 BTA 分子時，如圖 2-2，由 BTA 的特殊苯環分子結構，與其可以垂直站立於銅的金屬表面特性，就像是在銅金屬表面站滿類似於香菇狀的結構，剛好形成一有效的阻隔層，可有效防止氧氣擴散到銅金屬表面，以達到抗氧化的效果。

### 2.1.2 六價鉻置換鈍化抗氧化層處理

六價鉻置換鈍化的抗氧化方式是在許多工業上非常常見的，由於鉻金屬所產生的氧化層是依非常緻密金屬的氧化層，可以非常有效的阻隔氧化層以外的氧再繼續往金屬內部擴散，已達到抗氧化的效果。鉻置換鈍化處理最早由 Bauer and Vogel 提出，發現鉻置換處理在鋁金屬表面可以達到非常有效的抗氧化作用[24]，而 Brown 等人又更深入做了一系列的鈍化異配方實驗，也更加對於鈍化層的了解[25] [26] [27]，後來 Hughes 等人更透過 XPS、SEM 等儀器來觀察了解鉻置換鈍化處理的機制，並提出了以下的反應方程式[28]：



鉻的鈍化反應極為透過酸性異體將原本的表面金屬溶出，達到交換電子的作用，在金屬表面形成水合氧化鉻，並發現在酸性鉻酸鹽溶液中含有 HF 可以促進氧化物的溶解。此外，完成上述反應式後，如果溶液中含有 HF，可進一步溶解 AlOOH，使得  $\text{Cr}^{6+}$  在 Al 界面處繼續反應。這導致水合氧化鉻的進一步沉積。通過該過程，表面最終完全被保護性水合氧化鉻層覆蓋，如圖 2-3 所示。

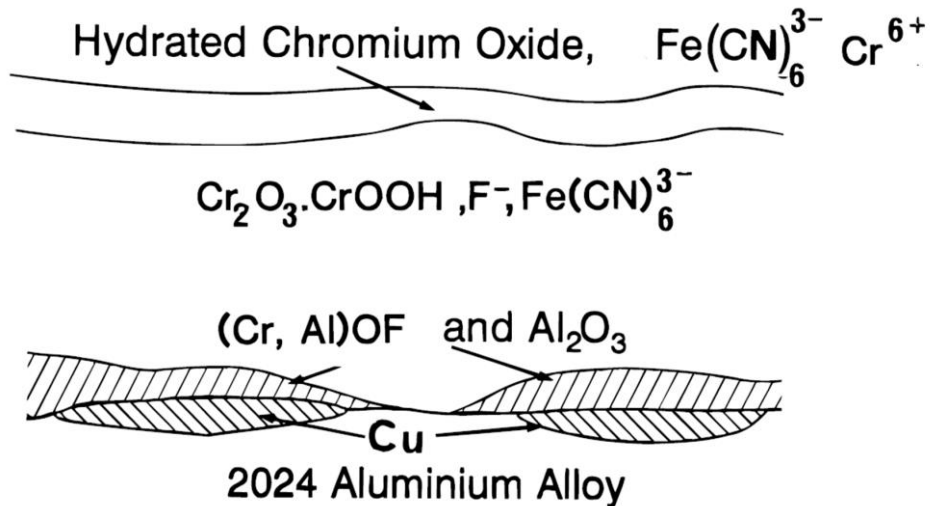


圖 2-3 2024 鋁合金上進行鉻置換鈍化處理後的表面薄膜結構示意圖[28]

## 2.2 布丁模測試原理

布丁模測試是半導體封裝產業常常用來測試導線架表面與EMC之間黏著力強弱的方法[29]，像是在1997年，由Takano等人[30]便是透過了布丁模的測試，分別將不同氧化層厚度的銅釘架進行布丁模的測試，來了解架表面的氧化層厚度對於與EMC之間的接合力強弱關係[29, 31]，也發現當氧化層厚度在20 nm時，有較高的接合能力，而當氧化層厚度超過80 nm時，其接合力強度變會大幅降低，並且推測當氧化層過厚時會容易造成脫層現象的發生[32]。這樣的實驗可以很直接地得到銅釘架與EMC之間的接合力強弱關係，與本實驗所需要探討的脫層關係也相當類似，所以本研究也使用布丁模測試來進行分析。類似於許多前人的實驗[33-35]，其測試原理是透過在待測物表面以模具灌膠的方式種上一顆外型像是布丁的EMC，再將種好布丁模的銅釘架固定在載台後，便會使用一L型推頭以固定的速度接近種好的布丁模，直到推倒布丁模為止，並且量測其推倒所需的最大作用力，如圖2-4所示。而此一作用力大小便可得知EMC與待測的銅釘架表面之間的接合能力強弱。

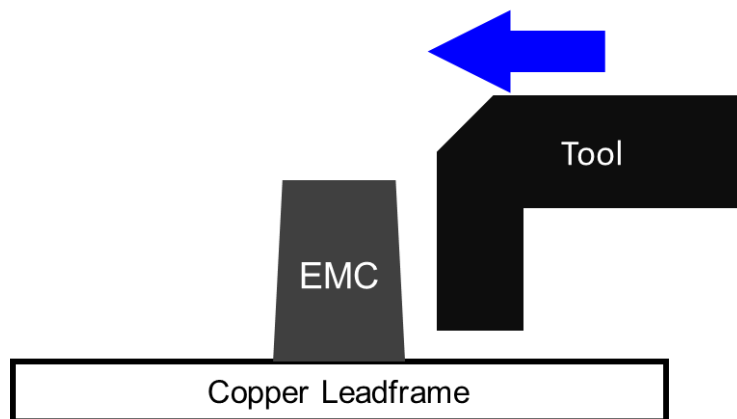


圖 2-4 布丁模實驗示意圖

## 2.3 超音波顯微鏡原理

本實驗在脫層樣品的判別方式是透過超音波顯微鏡 SAT 來觀察 IC 內部是否有空隙的產生，也就是是否有出現脫層[36]。而超音波顯微鏡 SAT 檢驗原理在 1974 年首次由 R. A. Lemons 等人提出[37]，使用超音波取代光波，來當作觀察微小樣品構造的方法，而使用超音波優於光波的地方在於，超音波可以穿過某些特定的材料，來觀察樣品的內部構造，而這是光波所無法做到的。於是，這樣的物理特性，使得超音波顯微鏡常常被拿來當作一種非破壞性的檢測樣品內部是否有缺陷的方法[38]，透過超音波在不同介質傳遞時所產生的反射波形，來觀察樣品內的結構，如圖 2-5 可以看到，當超音在穿越不同介質時，都會產生一波峰訊號，藉此便可在不破壞樣品的情況下，觀察樣品內部的樣貌。更甚至像是 Watanabe 等人就透過圖 2-5 的實驗架設[39]，以 DC 直流供應器當作實驗樣品的加熱方式，而透過水冷系統來當作快速冷卻樣品的機制，並外接一個溫度感測器即時監控其樣品的溫度，再加裝超音波顯微鏡在樣品上方，並透過外接的噴水系統，來讓樣品保持在水的覆蓋之下，最後由電腦以每分鐘六張圖的速度來收集其掃描的結果資料，即時檢驗正在溫度循環測試的樣品，看樣品內部在多久的時間後會出現脫層缺陷。而本實驗雖然不需要及時的觀測，但也可以利用超音波能穿透材料的特性，來了解 IC 內部是否有出現脫層現象。

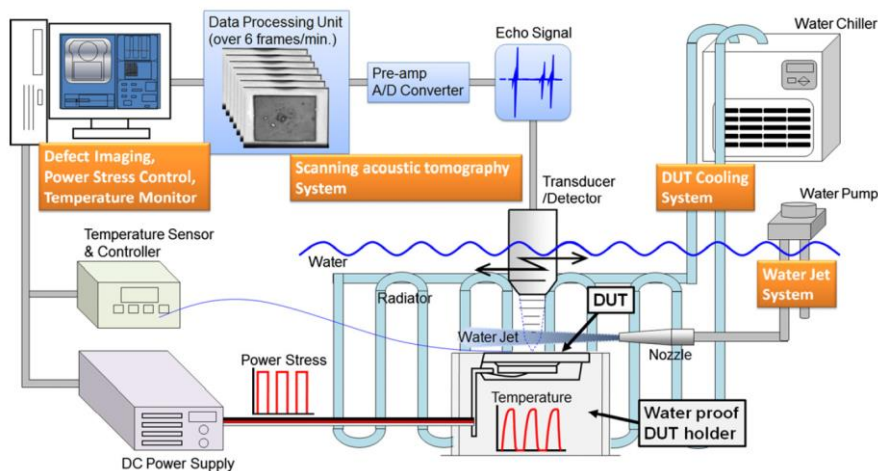


圖 2-5 利用超音波顯微鏡即時觀測 IC 受溫度循環時內部結構變化的架構圖[39]

## 第三章 實驗設計

### 3.1 QFN 封裝製程流程

本研究是針對日月光半導體製造股份有限公司現行的 QFN 封裝製程為研究主題，較 QFP 封裝少了外接引腳的設計，以及露出 IC 底部的導線架，體積更為精簡，以符合更小且更薄的 IC 要求，去除了接腳的設計，使其電路傳遞更快，且露出的導線架底部更可以提供內部 IC 散熱路徑，有效的降低 IC 工作時的 IC 溫度。而本研究當中，使用的導線架為銅釘架，在製程當中銅釘架表面會依序經過店將清洗、點銀膠、上晶粒、高溫打線以及最後的 EMC 封膠射出成型，以下是對於本研究較相關的製程進行詳細說明，如圖 3-1 所示，(簡述圖)：

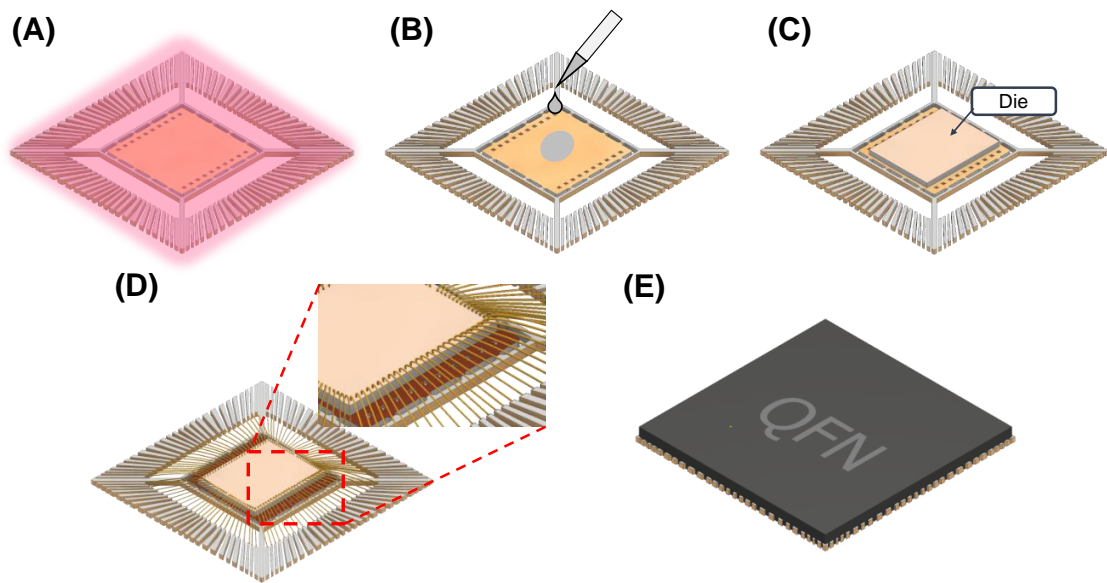


圖 3-1 QFN 導線架封裝製程步驟示意圖：(A)以電漿清洗銅釘架表面(B)在銅釘架中央滴上銀膠(C)放上晶粒(D)進行打線(E)EMC 封膠射出成型

#### (A) 電漿清洗以及表面改質

在進入製程之前，由於銅釘架表面是不允許有任何污染的，因為污染會造成後續製程失敗，所以會先對銅釘架表面進行電漿清洗的步驟，也可以透過此一步驟來增加銅釘架表面的親水性，以增進後續銀膠與晶粒黏著的穩定性。

## **(B) 點銀膠**

此製程步驟是為了將晶粒黏著於銅釘架上，所以會先在銅釘架 Die pad 的中央點上適量的銀膠當作品粒與銅釘架之間的黏著層。

## **(C) 晶粒黏著**

將經過電路設計的晶粒精準放置於銅釘架的 Die pad 中央，並進行高溫烘烤使銀膠固化，此製程所使用的烘烤方式是在烘箱的環境下並通以氮氣來阻止氧氣造成銅釘架氧化，所以在此製程步驟中，銅釘架的氧化現象得以有效的控制。

## **(D) 打線製程**

經過銀膠烘烤後的釘架接著就會進到打線製程(Wire bonding)，目的是為了將晶粒上所設計的接點延伸的銅釘架的接腳，使 IC 可以更方便的與其他元件相連接。此一製程，為了打線的品質與材料的要求，會讓打線製程在高溫 200°C 下進行，每片 IC 均會在高溫 200°C 環境中長達 9 分鐘，並且是在大氣環境中，因此表面露出的銅釘架，在表面皆產生一層氧化層，而銅釘架表面的氧化層是發生脫層現象的主要因素，因為氧化層的產生，讓銅釘架表面因晶格堆積排序的差異形成一脆弱的介面，使 IC 在熱循環的過程，容易發生脫層現象，是本研究著重探討的製程。

## **(E) EMC 封膠射出成型**

經過打線後的 IC，最終將進入 EMC 封膠射出成型製程，主要目的是為了將晶粒與外界空氣中的水分隔離，以防止濕氣造成 IC 以及打線的老化現象，並可以做為打線的支撐，最後再將不同客戶要求的 IC 資訊，例如：IC 種類、IC 設計廠商、IC 編號以及製造日期打印(Marking)在 IC 上方，以方便 IC 的分類。

經過上述的封裝打線製程後，其 IC 內部便會像是圖 3-2(A)所示，我們透過光學顯微鏡 10 倍物鏡與 10 倍目鏡拍攝實際 IC 斷面圖，共 13 張 OM 影像圖，並把 13 張 OM 圖像連接成完整的實際 IC 斷面圖如圖 3-2 (B)，由下到上為銅導線架、



銀膠、晶粒以及最外層的 EMC 堆疊而成，而虛線圈起處，為銅釘架在製程中因在高溫環境且暴露於大氣環境中，故氧化較為嚴重的區域，也同時是脫層現象發生的位置，因此可以得知脫層的發生與銅釘架的氧化息息相關。

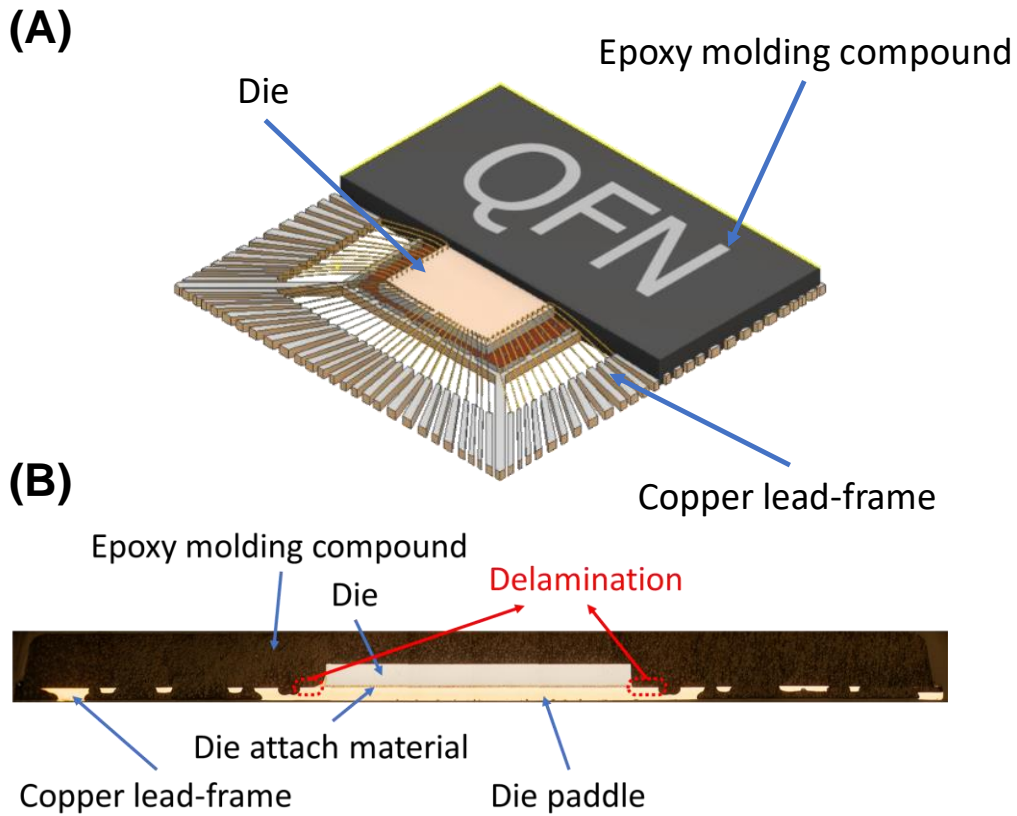


圖 3-2 經過封裝製程後晶粒被包覆在 EMC 中的(A)透視示意圖，(B)實際斷面 OM 圖(倍率：100x)

## 3.2 抗氧化

在第一章的介紹中可以了解，銅釘架表面產生的氧化層往往是產生脫層現象的主要原因，因此，最直接的解決辦法便有兩種，第一，將經過高溫製程而氧化的銅釘架，針對其表面施打還原電漿，用以還原表面的氧化銅，但這樣的製程步驟不但需要施打含有氫氣的電漿，並且需要在真空的環境下，使得製程非常繁複而且氫氣是易燃氣體，具有一定的危險性，相對成本也較昂貴，所以本實驗不採用此種方式。第二，在業界實驗的經驗傳授中得知，如果銅釘架在較低溫的打線製程(180°C, 9 min)所產生的氧化層，並不會出現脫層現象，由此可以推判，如果有效的減緩銅釘架表面的氧化，變可以有效的阻止脫層現象的發生，於是本研究進行了以下三種不同的銅釘架表面抗氧化層的研究開發。

### 3.2.1 有機單分子層配方

本研究使用 TTA 為有機單分子抗氧化配方的主要分子，由於此分子對於水的溶解度極低，所以在設計配方時，其溶劑是使用水與酒精 1:1 所調配，但在實驗操作時，應先將定量的 TTA 粉末加到酒精溶液中，待其充分攪拌溶解後，再倒入水將溶液調配到所需的濃度，以完成有機單分子抗氧化配方調配。調配好配方後，關於銅釘架的浸泡步驟則有以下項步驟，第一，由於日月光工程師告知，銅釘架表面已有一層原有的抗氧化層，此抗氧化層為油脂所組成，所以在進行有機抗氧化配方前，需先透過強鹼的脫脂反應，將原有的抗氧化層完全的從銅釘架表面移除，以確保本配方的有機分子可以順利的與銅金屬表面接觸反應。第二，銅釘架完成脫脂步驟後，會將銅釘架泡入去離子水再拿出，重複三次，來有效清洗銅釘架，以確保氫氧化鈉溶液不會殘留在銅釘架表面，第三，將銅釘架放置到調配好的有機單分子抗氧化配方當中，靜置 30 分鐘，等待有機分子吸附於銅釘架的表面。最後將銅釘架拿出，經過清水清洗並放上熱板 85°C 加熱 1 分鐘，確保銅釘架表面不會殘留水漬以完成有機單分子抗氧化的製程步驟。

### 3.2.2 六價鉻鈍化液

本實驗使用重鉻酸鉀粉末當作六價鉻的原料，先在量杯內加入少量的水後，再加入定量的硫酸，之後把以用天秤量好重量的重鉻酸鉀粉末加到溶液中，最後則再將溶液加入去離子水至計算過後的體積，最後配成含有濃度 35 g/L 鉻酸與 6 ml/L 硫酸水溶液。配好溶液後，在銅釘架的鉻鈍化處理前，如同先前所述，為了先將銅釘架表面由油脂類組成的抗氧化層拿掉，也會先經過一到強鹼脫脂反應，本實驗是使用氫氧化鈉脫脂，銅釘架完成脫脂步驟後，會將銅釘架重複泡入去離子水再拿出三次，來有效清洗銅釘架，以確保氫氧化鈉溶液不會殘留在銅釘架表面，之後便將銅釘架浸到配好的六價鉻鈍化液當中，由於鉻的鈍化反應是非常迅速的，所以在完成鈍化處理後應立即將銅釘架浸入清水中反覆清洗，以免鉻鈍化液殘留在銅釘架上造成多餘或是因液滴殘留而出現不均勻的鈍化反應。

### 3.2.3 雙層抗氧化層

此方法是結合前面兩項抗氧化方法，先在銅釘架表面鍍上一層鉻層後，再藉由有機抗氧化單分子層能吸附在金屬表面的原理，進行有機單分子抗氧化層的吸附，達到雙層抗氧化的效果，其操作步驟首先是先在銅釘架表面進行鉻鈍化抗氧化處理，經過脫脂與過水清洗，到鉻鈍化液的浸泡，在銅釘架表面長上一層鉻層後，經過清水沖洗再浸到單分子抗氧化的溶液配方當中，讓 TTA 分子吸附於鉻層表面，以完成雙層抗氧化層，其表層分子結構示意圖如圖 3-3。

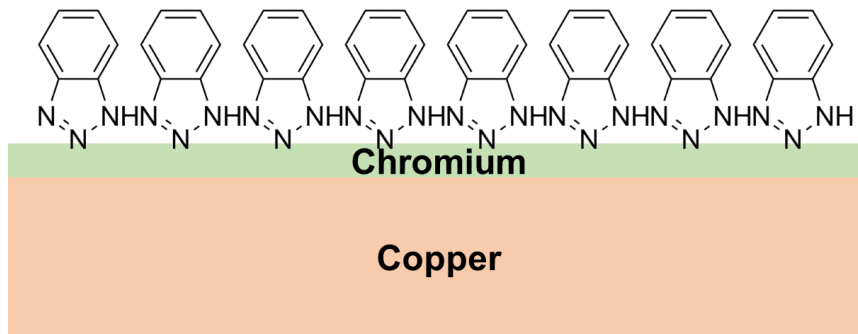


圖 3-3 銅釘架表面進行雙層抗氧化層後的表面結構示意圖

### 3.3 IC 開蓋測試

IC 的開蓋測試目的是為了要去分析 IC 內部產生脫層的介面位置，由於我們主要探討的銅釘架位置是在晶粒與晶粒下方的銅釘架載台之間，所以我們會先將經過封裝後 IC 的外圍導線區域先切割去除，如圖 3-4(B)所示，再分別針對 EMC 與下方的銅釘架施予拉力將 IC 從 EMC 與銅釘架之間拉開，分成上下兩部分，如圖 3-4(C)所示，在外力施加下，其拉開的介面往往是 IC 內部較於脆弱的介面。於是我們就可以透過開蓋後的 IC 兩面分別進行能量色散 X 射線光譜(EDS, Energy dispersive X-ray spectrometer)分析，並透過銅釘架面與 EMC 面的氧原子含量來推測 IC 當中造成脫層現象的脆弱應力介面，介於純銅與氧化亞銅之間，或是氧化亞銅與氧化銅之間，又或是氧化銅與 EMC 之間，藉此來了解 IC 內部材料最脆弱的應力介面位置。

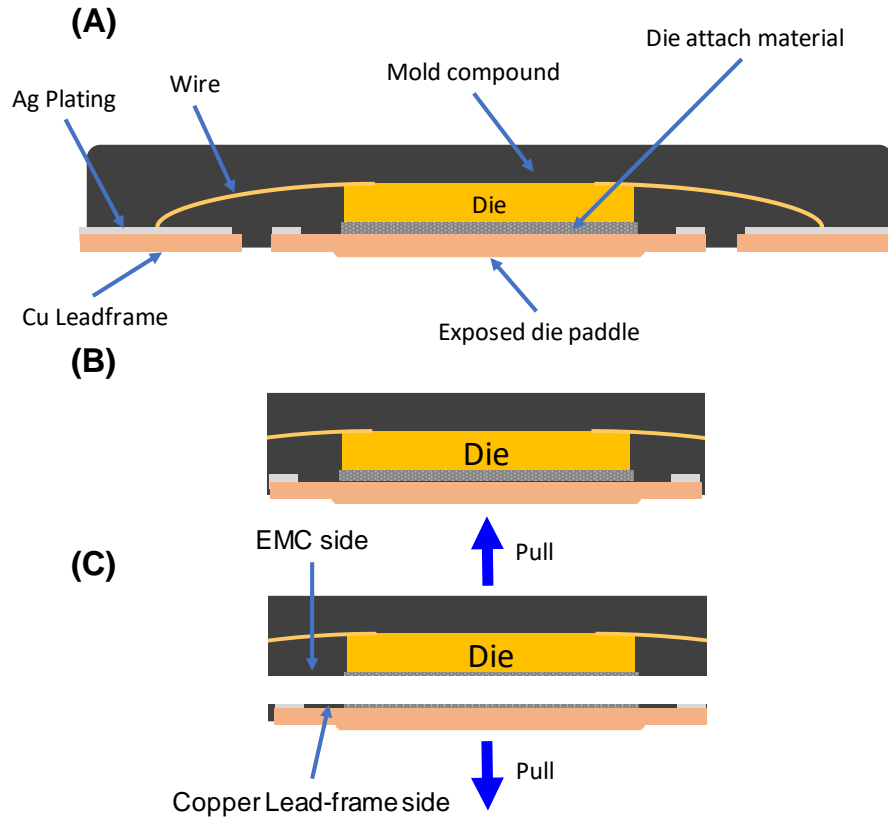


圖 3-4 IC 開蓋測試的簡單操作步驟，(A)完成封裝製程後的 IC 斷面示意圖，(B)將 IC 的外圍導線去除後的示意圖，(C) IC 被拉開後的示意圖

### 3.4 銅釘架表面布丁模測

半導體封裝中，脫層發生的地方常常在銅釘架以及 EMC 之間，所以在銅釘架經過表面處理時，如能知道銅釘架表面與 EMC 之間在表面處理前後的黏著接合力強弱，便是一項可以分辨脫層風險高低的方法，而布丁模測試就是一種可以分析金屬表面與 EMC 之間的接合強度測試，此一方法是透過在待測的銅釘架表面種上一顆圓錐狀的 EMC，其尺寸為底面直徑為 3.0 mm，底面積為  $7.1 \text{ mm}^2$ ，高度為 4.0 mm 之 EMC，如圖 3-5 (A) 中的尺寸圖，再透過機器以大約 1.2 mm/s 的速度施加外力來推倒種在銅釘架上的 EMC，並同時使用壓力感測器來量測推倒 EMC 時所需之最大作用力，以得知 EMC 與銅釘架之間的黏著接合力強弱。如圖 3-5 (A) 即為 EMC 種在銅釘架中央的實際圖拍攝，而圖 3-5 (B) 則為樣品固定載台與推進的 L 型推頭相對位置圖，圖 3-5 (C) 則是推進機器與壓力感測器的實際架構圖。

### 壓力感測器(Pressure sensor)

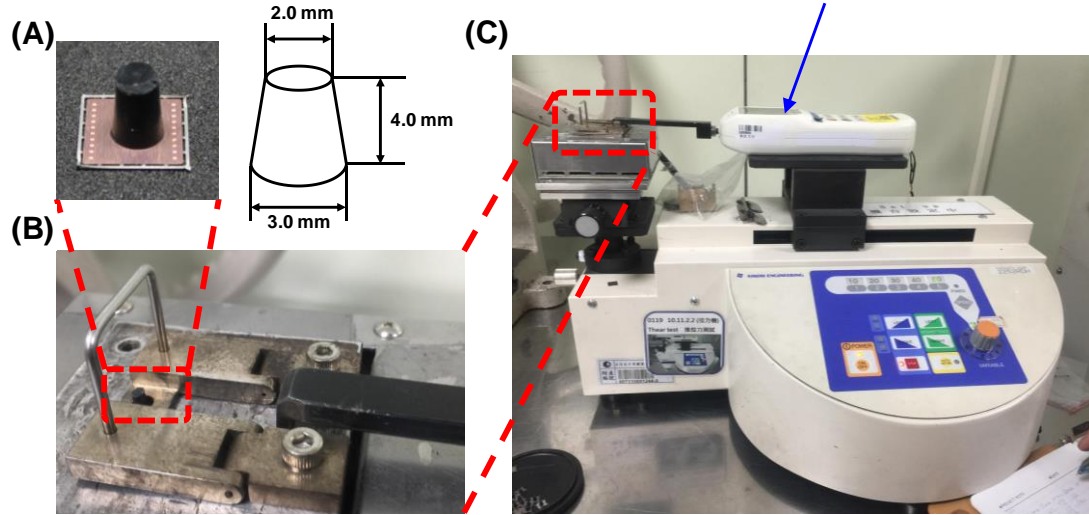


圖 3-5 布丁模測試之實驗架構圖(A)實際在銅釘架中央種上一顆 EMC 之樣貌與其尺寸，(B)樣品固定的裝置，(C)推進器與壓力感測器的架構圖

## 3.5 不同表面處理後的銅釘架進行產線測試

### 3.5.1 產線實際製程測試

本研究最終目的是為了確保銅釘架在產線製程後，不會在 IC 與銅釘架之間產生脫層現象，所以會將經過不同前處理方式的銅釘架與原本未處理之銅釘架，同時送至日月光封裝廠，交由日月光工程師進行產線上實際封裝製程測試，並在完成 IC 封裝後，利用超音波顯微鏡來判斷 IC 內部是否有出現脫層現象，來比較有無經過前處理的銅釘架，其脫層的機率是否在經過不同前處理後，能有效的降低又或是完全避免製程中出現的脫層現象，以確保封裝後的產品品質。而以下是在產線測試的銅釘架前處理準備步驟與封裝步驟的各項實際操作參數：

#### (A) 銅釘架前處理

在進入製程之前，由我先將銅釘架進行多種不同的表面處理，其中有、單分子吸附抗氧化層、鉻鈍化液處理抗氧化層、雙層抗氧化層、表面酸洗、表面脫脂以及預加熱製程，完成前處理後再加上原本的銅釘架，將所有銅釘架一齊交到日月光封裝廠進行後續得產線測試。

#### (B) 點銀膠(由日月光封裝廠操作)

此製程步驟是為了將晶粒黏著於銅釘架上，所以會先在銅釘架 Die pad 的中央點上適量的銀膠當作品粒與銅釘架之間的黏著層。而在產線測試中，此步驟與實際產線所操作之各項參數皆相同，以了解在不同前處理後的銅釘架表面與銀膠之間是否可以穩定黏著。

#### (C) 晶粒黏著(由日月光封裝廠操作)

將晶粒精準放置於銅釘架中央，並進行高溫烘烤使銀膠固化，此製程所使用的烘烤方式是在烘箱的環境下並通以氮氣來阻止氧氣造成銅釘架氧化，所以在此製程步驟中，銅釘架的氧化現象得以有效的控制，並非產生氧化層的主要製程步

驟。

#### **(D) 模擬打線加熱製程(由日月光封裝廠操作)**

經過銀膠烘烤後的銅釘架接著就會進到打線製程(Wire bonding)，目的是為了將晶粒上所設計的接點延伸的銅釘架的接腳，使 IC 可以更方便的與其他元件相連接。此一製程，為了打線的品質與材料的要求，會讓打線製程在高溫 200°C 下進行，每片 IC 平均會在高溫 200°C 環境中停留長達 9 分鐘，並且是在大氣環境中，因此露出的銅釘架，在表面皆產生一層氧化層，而銅釘架表面的氧化層是發生脫層現象的主要因素，因為氧化層的產生，讓銅釘架材料內部因晶格堆積排序的差異形成一脆弱的介面，使 IC 在熱循環的過程，容易發生脫層現象，此製程步驟也是本研究著重探討的製程。而在產線測試中，由於實際使用打線機台需要更多的時間安排，所以在產線測試時，我們會以熱板 200°C 加熱 9 分鐘來模擬實際產線上銅釘架會面臨的加熱溫度以及時間，讓我們可以更快的得到產線測試結果。但在最後的產線測試依然有實際使用到打線機台，以確保在真實的打線製程與模擬的加熱製程所得到的結果一致。

#### **(E) EMC 模具灌膠(由日月光封裝廠操作)**

經過打線後的 IC，最終將進入 EMC 模具灌膠製程，主要目的是為了將晶粒與外界空氣中的水分隔離，以防止濕氣造成 IC 以及打線的老化現象，並可以做為打線的支撐。

#### **(F) 觀察養品是否脫層(由日月光封裝廠操作)**

當 IC 完成了上述的所有封裝製程步驟之後，我們便要觀察機片內部是否有脫層的現象產生，所以我們最後將封裝完成的 IC 進到超音波顯微鏡 SAT 中測試，本實驗所使用的機台型號為 Sonoscan 公司的 D9000™ C-SAM<sup>®</sup> 來檢查 IC 當中是否有出現脫層現象。



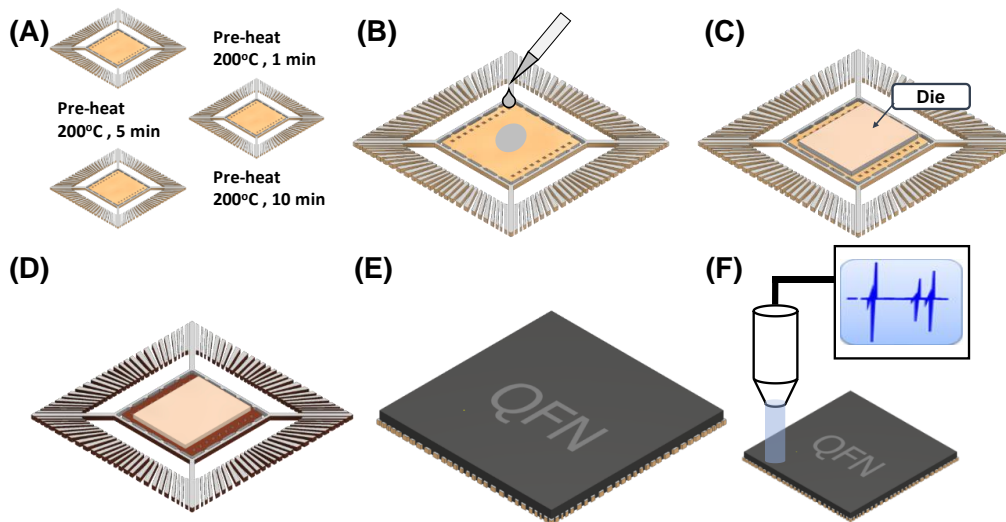


圖 3-6 產線測試之操作步驟示意圖，(A)進入測試前先對銅釘架進行不同的前處理，(B)在 IC 中央點上銀膠，用以黏著晶粒，(C)放上晶粒，(D)模擬打線製程的加熱環境與時間，(E)將 IC 以放入模具的方式灌入 EMC，(F)用超音波顯微鏡來掃描 IC 內部是否有出現脫層現象

### 3.5.2 可靠度溫度循環測試

可靠度溫度循環測試的用意是在透過高溫環境下使 IC 內部材料快速氧化，並且觀察 IC 經過快速的升溫降溫，其內部材料間是否有因此出現失效的問題，可以用來推測當 IC 長久使用老化後，內部材料達到一定的氧化層厚度，IC 是否還可以維持正常的運作，是在半導體封裝產業相當常見的一項可靠度分析方式。而本實驗也透過溫度循環測試來了解 IC 的可靠度，我們將完成封裝製程後的 IC 放入一漸進加熱的高溫裝置中，使 IC 在 4.5 分鐘內從室溫升到最高溫 265°C，在經過 4.5 分鐘降回室溫，完成一次可靠度溫度循環測試，透過較大的溫度差來測試 IC 內部的材料，在熱應力的產生時，其銅釘架表面是否會出現脫層或是損壞，雖然在一般人的使用下並不會讓 IC 達到 265°C 如此的高溫，但為了模擬現實生活中慢慢使用所造成的元件老化，所以通常會讓 IC 經過特別高溫的溫度來加速 IC 內部材料的老化，藉此了解當 IC 老化後，其內部元件是否會出現容易脫層損壞的缺陷，最後造成 IC 失效，來確保 IC 的壽命。最後再將經過溫度循環測試的 IC 進行超音波

顯微鏡(Hitachi FS300II, Hitachi, Japan)掃描,透過解析度為 5  $\mu\text{m}$  的超音波顯微鏡便  
可知道 IC 內部是否有出現脫層現象,藉此來了解分別經過預加熱製程 1、5、10  
分鐘的 IC 與未經過預加熱製程的原始 IC 比較,其可靠度的變化,來了解預加熱  
製程對於 IC 是否可以有效的改善原有的脫層現象,來達到提升可靠度的目的。

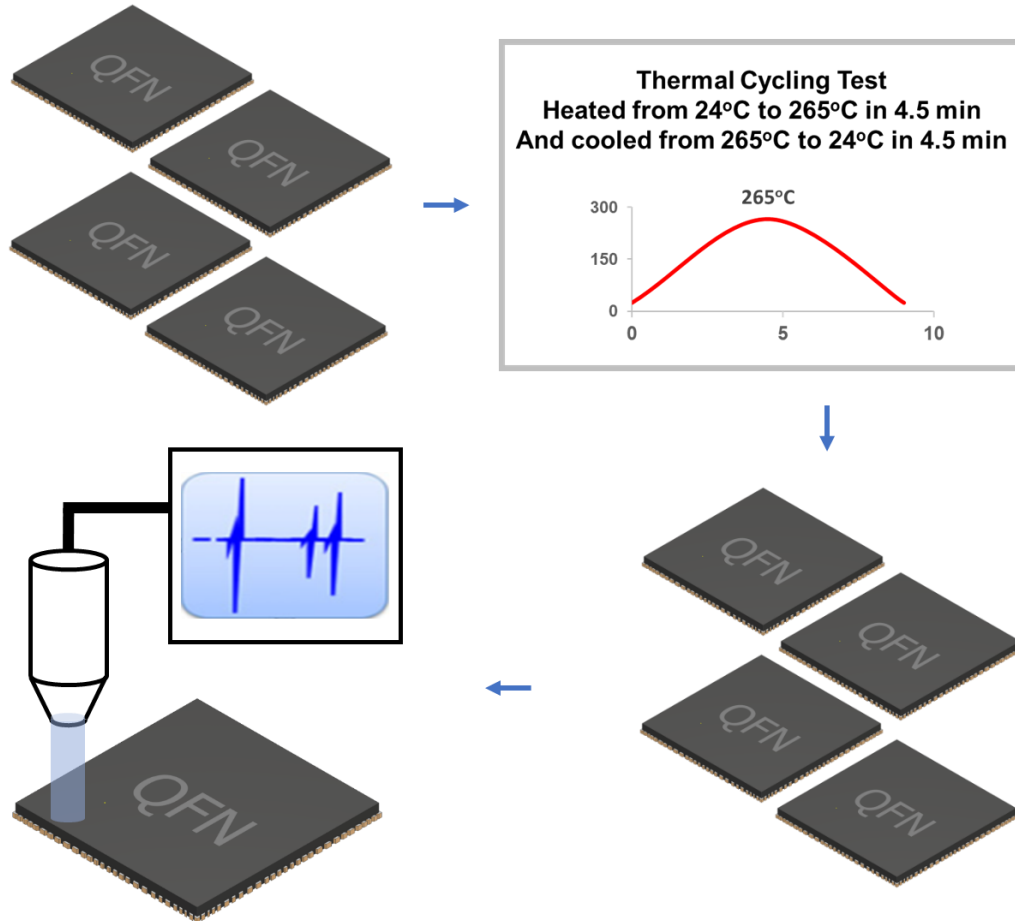


圖 3-7 封裝廠所使用的可靠度溫度循環示意圖

### 3.6 氧原子在銅釘架內擴散現象觀察

為了更進一步了解氧原子在銅釘架內擴散的行為，我們設計了一組針對觀察此現象的實驗，由於在晶粒下方的銅釘架無法接觸到外界的氧氣不會氧化，而晶粒周圍的銅釘架則在高溫 200°C 的打線製程中產生嚴重的氧化，這兩者之間會有一個明顯的氧化與未氧化介面，於是，為了可以方便觀察這個介面，我們先將銅釘架交由日月光半導體封裝廠，進行打線製程以前的步驟，也就是點銀膠、黏著晶粒以及高溫打線，在交由我們進行熱板加熱 200°C，持續 60 分鐘，此步驟的操作時間較長的原因是為了透過長時間的加溫來達到增加晶粒外圍銅釘架的氧化層厚度，以方便於在 SEM 當中觀察其氧化與未氧化的介面，與氧原子在銅釘架中的擴散現象。接下來我們將加熱完的 IC 裹埋於 Taiwan Cemedine Co., Ltd. 編號 1500L 的裹埋劑當中，再使用本實驗室型號為 Plato HA-FS-B 自動研磨機進行斷面研磨，如圖 3-8 所示，首先使用 #400 號砂紙蓋片研磨到我們可以觀察的斷面位置，再使用 #1000 號砂紙、#2000 號砂紙各研磨 30 分鐘，最後進行研磨拋光，使用 0.3 μm 的氧化鈣粉磨粒在研磨布上拋光，直到表面完全光滑為止。



圖 3-8 本實驗室所使用具有自動研磨手臂的研磨機

### 3.7 銅釘架表面氧化層銅氧比分析

為了要了解經過不同的預加熱製程參數處理後的銅釘架表面之氧化層，其氧化層的厚度、銅原子/氧原子之間比例與未經預加熱製程處理的銅釘架之間有何區別，所以我們設計了以下三種不同的預加熱製程參數與原本未經預加熱的銅釘架一起進行 X 射線光電子能譜學(XPS, X-ray photoelectron spectroscopy)表面縱深分析，詳細的操作步驟如下圖 3-9，我們分別以預加熱一分鐘、五分鐘、十分鐘為我們預加熱時間，而預加熱溫度則都是使用布丁模測試後結果較佳的 200°C，並且使用的加熱儀器為熱風烘箱，在經過預加熱製程之後，會先讓經過預加熱的銅釘架在室溫環境下待至少三十分鐘，再將原本的三組銅釘架以及一組未經預加熱製程的銅釘架一起放到熱板上加熱 200°C，加熱時間為十分鐘，此一步驟是為了模擬在實際產線上打線製程所會遇到的加熱參數，最後再將四組銅釘架一銅進行 XPS 的縱深分析，本實驗所使用的 XPS 為 JEOL 公司的 JAMP-9500F Auger Electron Spectroscopy 機台在加裝上雙陽極 Mg K $\alpha$ /Al K $\alpha$  的 X 光源做分析，如圖 3-10。

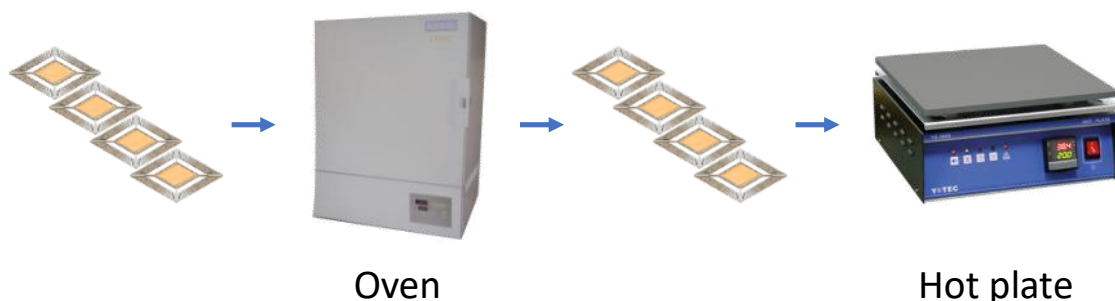


圖 3-9 XPS 銅釘架樣品準備步驟



圖 3-10 本校的歐傑電子能譜儀 JAMP-9500F Auger Electron Spectroscopy 儀器圖

表 3-1 四組不同預加熱時間的銅釘架操作流程比較表格

DoE	Pre-heat (200°C in oven)	Recovery @ 25°C	Assembly WB (200°C on hot-plate)
Original	--	30 min at room temperature	10 min
Pre-heat 1 min	1 min		10 min
Pre-heat 5 min	5 min		10 min
Pre-heat 10 min	10 min		10 min

### 3.8 氧化層內部應力分布 ANSYS® 模擬

因為觀察到氧原子在銅釘架內的擴散形貌，會因為覆蓋的晶粒造成晶粒底下的銅釘架不會氧化，而晶粒外圍的銅釘架則在高溫的環境中產生嚴重氧化，產生一明顯的氧化與未氧化介面，並且觀察到脫層的位置與氧化/未氧化的介面位置相似，於是推測脫層的發生原因，是因為晶粒而產生的明顯氧化與未氧化介面，在溫度變化下有熱應力集中的現象，為了驗證此一說法，於是，我們透過 ANSYS® 進行以下兩種模型的模擬實驗，分別為原本有氧化與未氧化介面的氧化層結構，以及經過預加熱製程後，表面有完整氧化層的結構，如圖 3-11 所示，分析不同氧化層樣貌的銅釘架，在溫度變化下，其內部因吸收熱而產生的剪應力分布，此模擬均使用 ANSYS® 當中的 Static Structural 模組進行。

在圖 3-11 中可以看到我們所設計的兩組不同結構與其結構的大小參數，主要結構分成三層，由下到上分別為銅合金、氧化銅以及 EMC，模擬尺寸維 5 mm \* 5 mm，在圖 3-11 (A)~(C)，我們為了模擬先前在銅釘架上看到的氧化與未氧化介面，在模擬系統當中，我們畫了一明顯的氧化與未氧化介面，來模擬實際銅釘架因覆蓋晶粒所造成的氧化與未氧化介面，在此模擬當中，其銅合金厚度為 0.2 mm，而氧化層厚度為 0.01 mm，並在氧化與未氧化介面以導角的



方式來模擬我們實際所看到的氧化層結構。而在圖 3-11 (D)~(F)，則是在銅合金上畫了整面均勻的氧化層，但也模擬因晶粒所產生部分較厚的氧化層，較薄的氧化層厚度為 0.01 mm，而較厚的部分則為 0.02 mm，並且在不同厚度的氧化層之間也透過導角來描繪出氧原子在銅當中擴散的形貌並且在所有介面皆定義為固定的情況下，我們設置一個模擬實際產線上的打線加熱環境，為了增加應力集中的趨勢縮短其升溫時間，使其在大氣環境下，3 分鐘內以線性的升溫方式加熱至 200°C，並透過透 ANSYS® 系統的運算來了解兩種不同氧化層結構的樣品在這樣急遽的溫度變化下，其內部的剪應力分布情形。

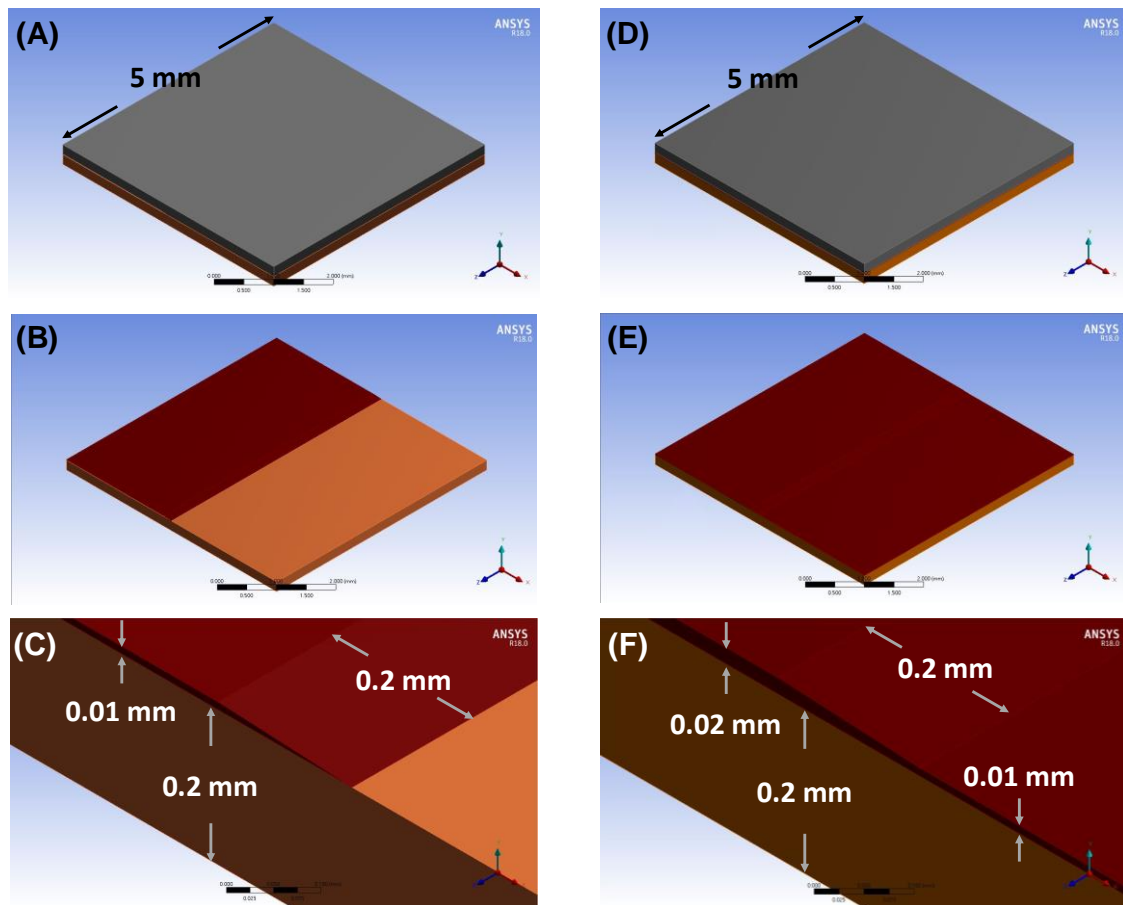


圖 3-11 在 ANSYS® 中模擬不同氧化層結構的架構與尺寸圖，(A)原本的銅釘架其外部樣貌與尺寸，(B)畫出氧化與未氧化介面示意圖，(C)其氧化層與底部銅合金的尺寸細節，(D)經過預加熱製程的銅釘架其外部樣貌與尺寸，(E)經過預加熱製程後的氧化層示意圖，(F) 其氧化層與底部銅合金的尺寸細節

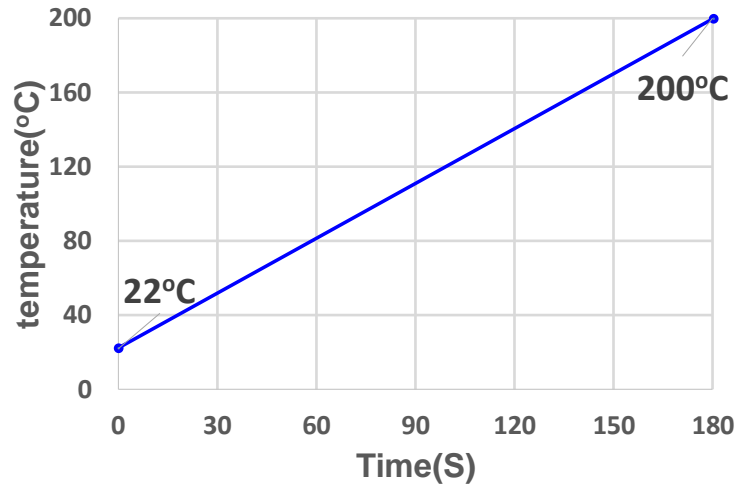


圖 3-12 模擬系統內的加熱溫度線

### 3.9 預加熱製程設計

此製程設計是想透過預先在銅釘架上產生一層均勻的氧化層，以減少在晶粒底下的銅釘架與露出來的銅釘架之間的氧化層厚度差異，如圖 3-13 所示，當銅釘架未經預加熱製程時，其表面會因為已被晶粒覆蓋與未被晶粒覆蓋之區域，被晶粒覆蓋的區域由於接觸不到氧，表面不會氧化，而未被覆蓋的區域，也就是晶粒周圍的地方則因為高溫且接觸的到氧氣的情況下，非常容易氧化，進而形成如圖 3-13 (A)明顯的氧化與未氧化之介面，此介面是造成脫層現象的主要應力介面，故希望透過一預加熱製程，在銅釘架表面形成一均勻的氧化層，如圖 3-13 (B)，來消除氧化與未氧化之介面。故本實驗為了貼近打線製程所使用的加熱參數，設計了 180°C、200°C 與 220°C 三個溫度作為預加熱製程所使用之加熱溫度。

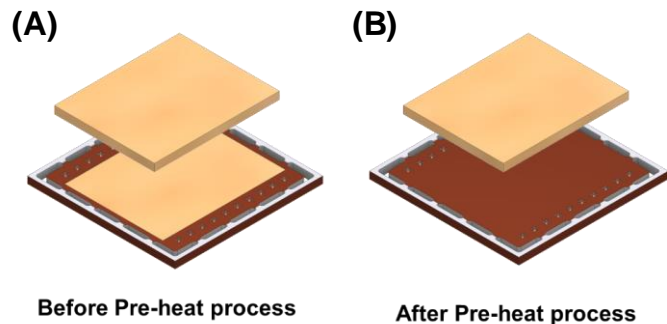


圖 3-13 銅釘架表面之氧化情形，(A)未經預加熱製程的表面氧化形貌示意圖，(B)經過預加熱製程後的表面氧化形貌示意圖

## 第四章 結果與討論

### 4.1 銅釘架抗氧化效能探討

本實驗將分別有鍍鉻、有機單分子抗氧化層、以及雙層抗氧化表面處理後的銅釘架與未經處理過的原廠 ASE 銅釘架，同時放置到 200°C 的加熱板上加熱，透過氧化時，因為表面形成氧化層，而氧化層厚度的增加會伴隨著表面的顏色變化，而這樣的顏色變化來判別銅釘架的氧化速度。

其中由圖 4-1(A)可以看到，經過鉻鈍化處理後的銅釘架表面顏色較深以外，其他的銅釘架皆為一般純銅的顏色，而當加熱到 1 分 30 秒時，如圖 4-1 (B)，鉻鈍化處理後的銅釘架由於表層為氧化鉻層，所以顏色變化趨勢較不同，而其他三組銅釘架則可透過顏色變化多寡比較，原廠的銅釘架在 200°C 高溫的環境快速的氧化，表面顏色已達到紫色的氧化層，而雙層處理的銅釘架最嚴重區域也只有橘紅色的氧化層，更甚至有機單分子抗氧化層的銅釘架，其表面氧化更是只有出現些微的橘紅色，主要還是只有橘黃的氧化層。而當加熱到 3 分鐘時，如圖 4-1 (C)，鉻鈍化處理的銅釘架表面顏色僅有從些微的藍色轉淡藍色，原廠的銅釘架則已經氧化到藍色的氧化層，而經雙層抗氧化處理以及有機單分子抗氧化層的銅釘架，其氧化顏色皆還在紫色的氧化層。當在 200°C 加熱時間 5-10 分鐘時，如圖 4-1 (D)(E)(F)，可明顯看出有機單分子抗氧化層與雙層抗氧化處理的銅釘架，其顏色變化都比原廠銅釘架來的緩慢，而經過鉻鈍化處理的銅釘架，在其表面生成一層氧化鉻層後，便形成一保護層，讓氧化層厚度不再隨著時間而有太多的增厚。從此一實驗結果可以看出，不管是鉻鈍化處理，又或是有機單分子抗氧化層以及雙層抗氧化處理的銅釘架，都有相當良好的抗氧化效果，可以有效地減緩銅釘架表面的氧化現象，並期望此結果可以應用於產線測試，對後續的脫層現象，得以改善解決。



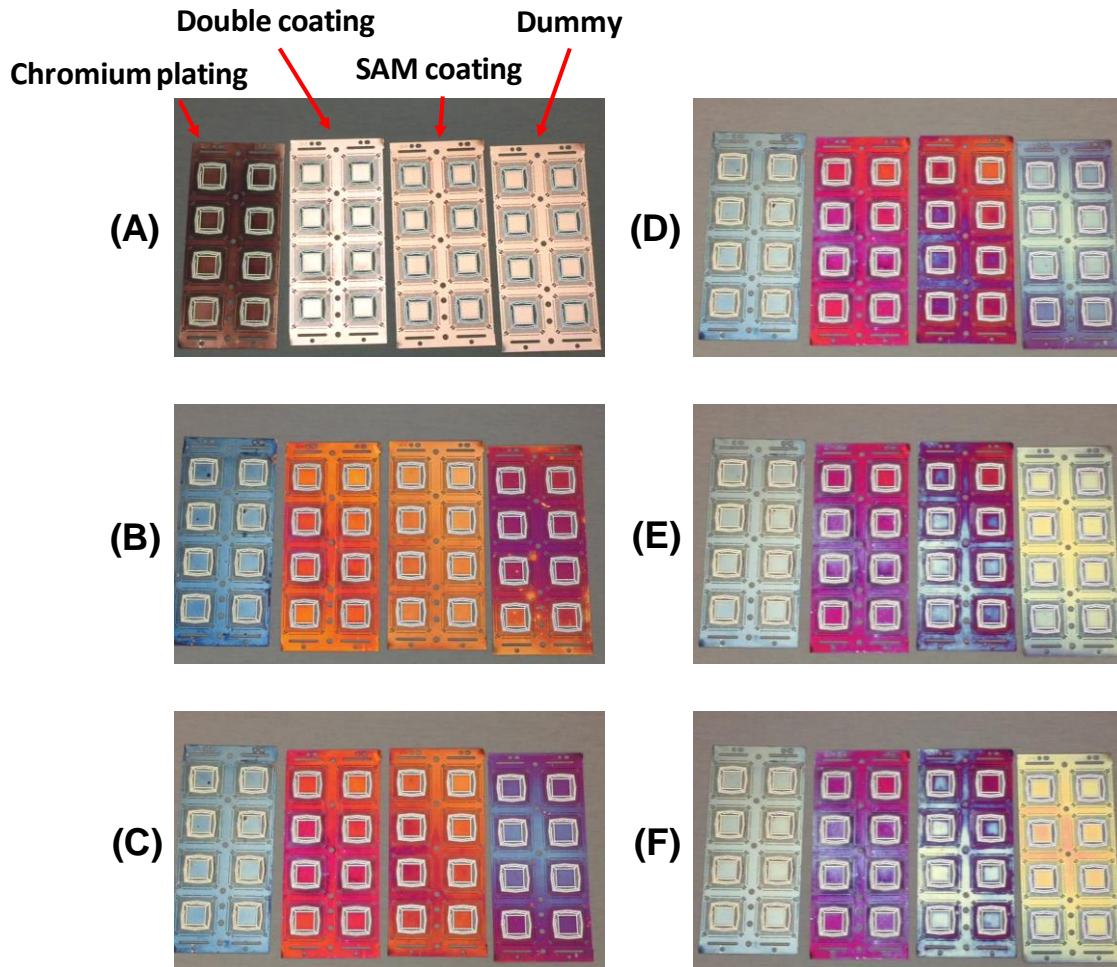


圖 4-1 不同表面處理後的銅釘架在 200°C 高溫加热的顏色顯現(A)初始時的顏色(B) 在 200°C 加熱 1 分 30 秒的顏色(C) 加熱 3 分鐘的顏色(D) 加熱 5 分鐘的顏色(E) 加熱 8 分鐘的顏色(F) 加熱 10 分鐘的顏色

#### 4.1.1 產線測試結果

在得到了成功的抗氧化成果後，我們將經過鉻鈍化液處理、有機單分子層吸附以及雙層抗氧化的銅釘架與原本 ASE 的銅釘架進到實際的封裝產線，進行實際產線測試，其結果如表 4-1 經過抗氧化配方處理後的銅釘架與未處理的 ASE 銅釘架進入產線與可靠度溫度循環測試的拖層機率比較，由左算起第一欄顯示的是各種不同抗氧化處理後的銅釘架，第二欄則是在模擬打線製程的加熱溫度以及時間，第三大欄則是銅釘架經過封裝製程後，透過超音波顯微鏡來檢驗樣品中有多少 IC

出現脫層的現象，最後一欄則是在封裝完成後，再進一步進行溫度循環的可靠度測試，也一樣經由超音波顯微鏡來檢驗樣品中出現脫層現象的數目，並統計後做成以下表格。由結果可以看到，在經過封裝製程後雖然雙層抗氧化以及鉻鈍化處理後的銅釘架，其脫層的機率有降低的趨勢，從原本 ASE 銅釘架的 61.9% 降到了 28% 以及 24%，但在經過可靠度溫度循環測試後，所有處理與未處理的銅釘架，其出現脫層的機率都達到了 100%，透過這次的產線測試結果，我們可以了解，有效的減緩銅釘架表面的氧化程度，但卻無法有效的降低或是阻止脫層出現的機率。

表 4-1 經過抗氧化配方處理後的銅釘架與未處理的 ASE 銅釘架進入產線與可靠度溫度循環測試的拖層機率比較

銅釘架	W/B station	可靠度分析			經過溫度循環測試後的可靠度分析		
		樣品數目	出現脫層的樣品數	脫層機率 (%)	樣品數目	出現脫層的樣品數	脫層機率 (%)
有機單分子層吸附	W/B at 200°C Each block stay 9 min	25	23	92	25	25	100
雙層抗氧化		25	7	28	25	25	100
鉻鈍化處理		25	6	24	25	25	100
ASE 原本釘架		21	13	61.9	21	21	100

#### 4.1.2 表面性質

為了探討經過處理後的銅釘架與 EMC 之間的接合能力，我們將三組銅釘價進行布丁模的測試，分別為原本的銅釘架、有機抗氧化單分子層以及雙層抗氧化，其測試結果盒鬚圖如圖 4-2 所示，其橫坐標分別為三個不同處理的銅釘架名稱，縱座標則為推倒布丁模時所需的最大作用力，每組樣品數目都是 20 個，取平均並統計之後整理出如表 4-2 布丁模測試結果統計表格，由結果可以明顯看出，原本的銅釘架與 EMC 之間的接合力有 1.08 kgw，經過有機抗氧化單分子層的接合能力

則降到了 0.67 kgw，剩下原本接合力的六成，雙層抗氧化層更甚至是跌到 0.44 kgw，比起原本的銅釘架，其接合力強度剩不到四成，因此，從布丁模的結果可以得知，雖然抗氧化層可以有效的減緩氧化的速度，但其表面特性的改變，會使得銅釘架與 EMC 之間的接合能力下降，最終導致 IC 出現脫層現象。

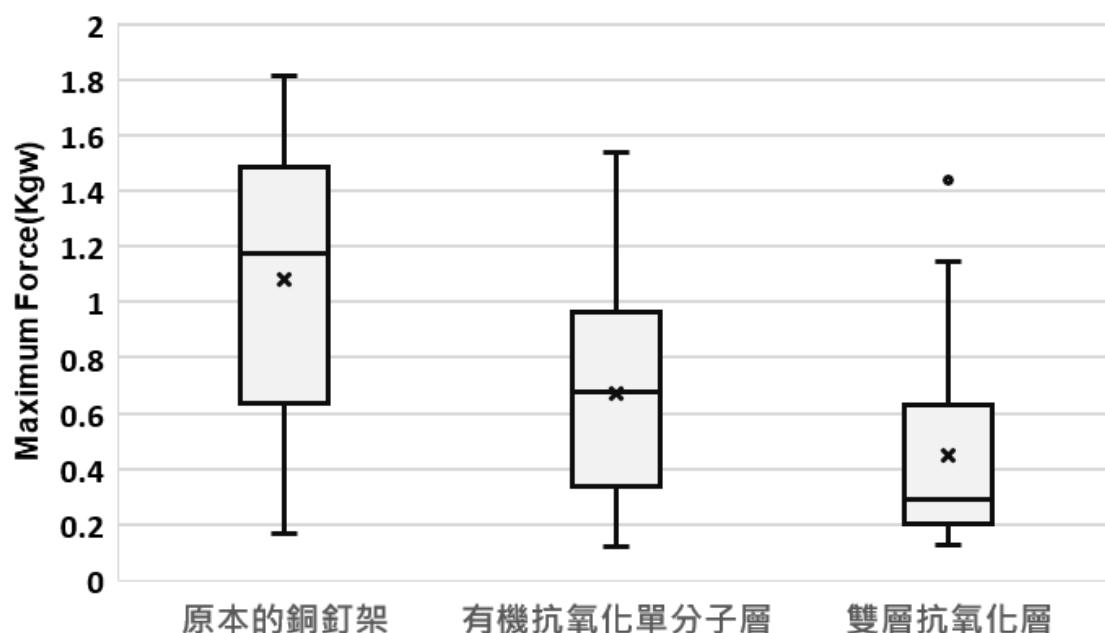


圖 4-2 布丁模測試結果盒鬚圖

表 4-2 布丁模測試結果統計表格

Condition	原本的銅釘架	有機抗氧化單分子層	雙層抗氧化層 (鉻層+有機單分子層)
Average	1.08	0.67	0.44
Min	0.17	0.12	0.13
Max	1.82	1.54	1.44

### 4.1.3 脫層樣品分析

雖然在產線的測試結果失敗了，不管有無抗氧化層的銅釘架均無法承受可靠度溫度循環測試，在不管是未處理的銅釘架或是過抗氧化處理後的銅釘架都出現了脫層現象，所以分析脫層樣品變是我們的下一步驟。由脫層樣品的 SAT

圖，如圖 4-3 所示，便可了解每個銅釘架脫層的位置，像是圖 4-3 (C)為有機抗氧化單分子層的 SAT 圖，其脫層的程度與原本的銅釘架，圖 4-3 (F)，皆是較輕微的，且脫層位置非常相似，都在晶粒周圍，而經過雙層抗氧化與鉻鈍化液處理後的銅釘架，圖 4-3 (D)與圖 4-3 (E)，皆有嚴重的脫層現象發生，因此研判在銅釘架表面所鍍的鉻層雖然可以有效的減緩氧化的速度，但是鉻層與銅層之間卻是容易造成脫層現象的脆弱表層結構，無法承受在溫度循環下的熱應力，最終倒置脫層現象的發生。

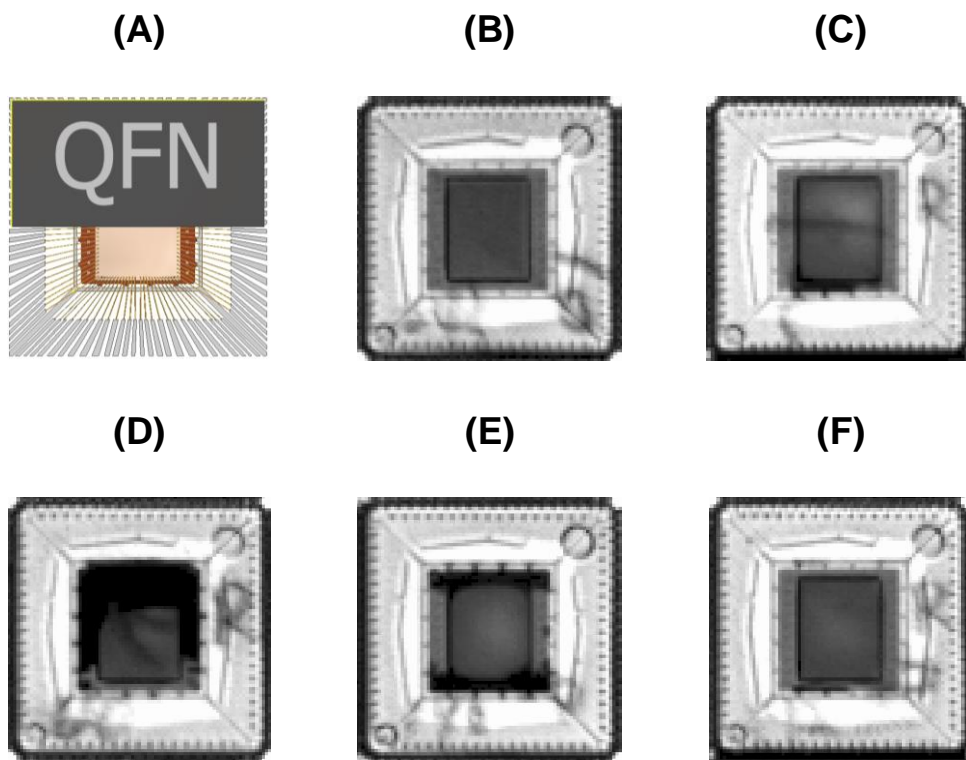


圖 4-3 經過產線測試的樣品經過超音波顯微鏡的掃描圖，(A)是 IC 樣貌示意圖，(B)為未出現脫層現象的 ICSAT 圖，(C)有機抗氧化單分子層 SAT 圖，(D)雙層抗氧化層 SAT 圖，(E)鉻鈍化液處理 SAT 圖，(F)原本的銅釘架 SAT 圖

於是，我們將脫層的 IC 進行開蓋觀察，從 IC 的銅釘架與 EMC 之間拉開，圖 4-4 中的示意圖便是將 IC 開蓋的介面，再由圖 4-4 (A)的 SAT 圖去對照 IC 脫層的位置，並針對銅釘架面與 EMC 面的脫層位置分別進行氧原子的能量色散 X 射線光譜分析，圖 4-4 (B)為銅釘架面，發現在銅釘架上的氧原子含量非常低，只有 1.06

wt.%的氧原子訊號，而在圖 4-4 (C)，也就是 EMC 面相對應的位置卻有 13.93 wt.% 的氧原子訊號，可從此結果推斷得知，脫層的介面是在 Cu 與 Cu<sub>2</sub>O 之間。這樣的結果如果從材料學的角度看，氧化銅與氧化亞銅之間的晶格失配飾 11.2%，而氧化亞銅與純銅之間則是 15.7%，相較之下可以了解在氧化亞銅與純銅之間的晶格失配比例較高，更甚至在密度分布純銅密度最高試 8.96 g/cm<sup>3</sup>，而氧化亞銅則只有 6 g/cm<sup>3</sup>，氧化銅則是 6.31 g/cm<sup>3</sup>，由此發現氧化亞銅與純銅之間的密度改變較大也較為不穩定，對應到我們的開蓋結果相符合。

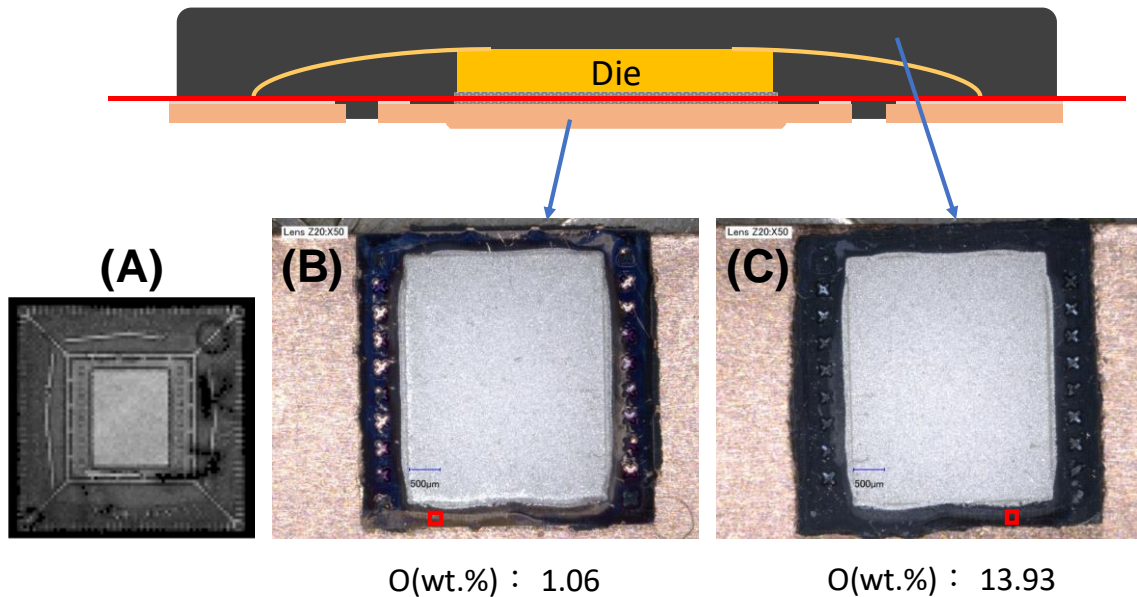


圖 4-4 脫層樣品開蓋示意圖，由圖中紅線處拉開分成兩塊，(A)脫層位置 SAT 圖，途中左下角反白的位置即為脫層區域，(B)開蓋後的銅釘架面，(C)開蓋後的 EMC 面

表 4-3 銅、氧化亞銅與氧化銅的元素晶格與密度表

	Density (g/cm <sup>3</sup> )	Crystal system	Lattice mismatch	a	b	c	β
CuO	6.31	Monoclinic	11.2%	4.65	3.41	5.11	99°29'
Cu <sub>2</sub> O	6	SC		4.18			
Cu	8.96	FCC	15.7%	3.61			

我們也從雙層抗氧化的銅釘架進行開蓋觀察，如圖 4-5 為開蓋後的銅釘架面，



由於雙層抗氧化的銅釘架表面與銀膠黏著力不足，所以在開蓋時，銀膠未能殘留在銅釘架表面，使銅釘架表面完全顯露，但這樣的現象，使我們發現，在晶粒下方的銅釘架，因為在打線高溫製程時，已被銀膠所覆蓋，所以被覆蓋的區域無法接觸到氧氣，故不會氧化，而在晶粒外圍的銅釘架則因為在高溫 200°C 的打線製程持續 9 分鐘，且可以輕易接觸到氧氣，所以表層形成嚴重的氧化，就在氧化與未氧化之間產生了一個明顯的介面。而更甚至，在與日月光半導體封裝廠的工程師開會時，他們提到以前的實驗經驗，如果銅釘架未放上晶粒時，進入產線測試時，就算經歷比原本的 200°C 持續 9 分鐘更嚴重的氧化，也不會產生脫層現象。從這些實驗結果，我們對於真正造成脫層的原因有了新的推測。

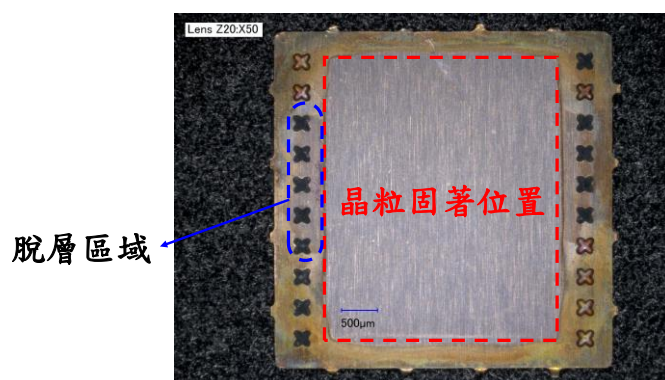


圖 4-5 將雙層抗氧化的脫層 IC 開蓋後的銅釘架面，晶粒位置與脫層區域影像圖

於是我們透過了觀察斷面的實驗，希望透過研磨斷面的方式，將樣品進到電子顯微鏡來觀察氧原子在銅釘架當中的擴散行為，由於為了在電子顯微鏡中可以觀察，我們將已黏著晶粒的銅釘架進行熱板高溫 200°C 加熱 60 分鐘，透過更長時間的加熱來得到更厚的氧化層以方便於 SEM 當中觀察，並透過先將樣品裹埋在裹埋劑中，再使用研磨機進行斷面研磨，圖 4-6 即是斷面進 SEM 所拍攝到的 SEM 影像圖，在晶粒周圍可以看到銀膠有些許的溢出，但在 500x 的 SEM 影像圖中就可以稍微看到晶粒外圍比晶粒下方的銅釘架多了一層反白的氧化層，在 2000x 的 SEM 圖中更是可以明顯看到在銀膠下方與，而當倍率增加至 30000x 時，便可以看到在交界處因為高溫使氧原子容易進入到銅金屬的晶格排列，使銅釘架表面膨脹，

形成氧化銅層，並在圖 4-6 中便可明顯看到氧化與未氧化的介面。

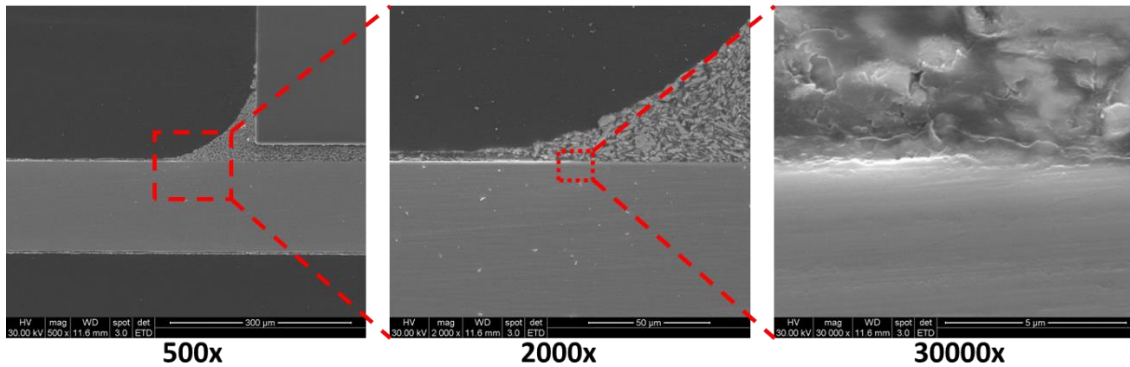


圖 4-6 將日月光封裝廠提供已放上晶粒的銅釘架進行高溫 200°C 加熱 60 分鐘後，進行裹埋並研磨斷面後進到電子顯微鏡中觀察，分別拍攝了 500x、2000x 與 30000x 的 SEM 圖

#### 4.1.4 氧化層內部應力 ANSYS® 分析模擬結果

我們分別將未經過預加熱製程的銅釘架以及經過預加熱製程的銅釘架簡化其模型後，分別針對氧化層結構進行 ANSYS® 模擬分析，並加入相對應的材料性質，以及相同的升溫條件，在三分鐘內以線性升溫的方式將測試樣品從 22°C 升溫至 200°C，來模擬材料內部所受到的剪應力大小分布情形，得到以下的結果，如圖 4-7。

在圖 4-7 (A) 模擬未經過預加熱製程時，銅釘架表面會因為覆蓋的晶粒所產生的氧化與未氧化介面，而圖 4-7 (B) 則為經過預加熱製程後，銅釘架表面會形成完整均勻的氧化層。以這兩種不同的氧化層結構，來模擬受到溫度變化時，為經過預加熱製程的氧化層結構與經過預加熱製程後的氧化層結構內部的剪應力分布情形，得到了圖 4-7 (C) 與 (D) 的結果，在圖 4-7 (C) 當中，發現在未經過預加熱製程的氧化層結構中，在氧化與未氧化的介面，發現了有些許應力集中的區域，將應力集中區域放大檢視後，如圖 4-7 (E)，其最大應力甚至高到 0.19 MPa，而相較之下，經過預加熱製程後的銅釘架氧化層結構，在受到溫度升溫時，其內部材料的剪應力分布，如圖 4-7 (D)，在整個結構當中，其剪應力是非常均勻的，並無出現

明顯的應力集中情況，最大的剪應力值只有  $4.42 \times 10^{-12}$  MPa，相較於未經過預加熱製程，有著非常大的區別。

由未經過預加熱製程的 ANSYS® 模擬結果可以得知，當材料內部有氧化與未氧化介面時，在材料遇到溫度變化時，介面的位置會產生應力集中的現象，而在封裝材料中，這樣的硬粒集中現象，往往是提高脫層發生機率的主因，而且也可以在經過預加熱製程後的 ANSYS® 模擬結果證明，如果在表層生成一層均勻的氧化層時，可以有效的消滅應力集中的問題，也證明本研究所使用的預加熱製程，可以有效的降低材料內部的剪應力，以及消除材料內部應力集中的現象，甚至更進一步減少在封裝製程中，因溫度變化而產生的脫層現象。

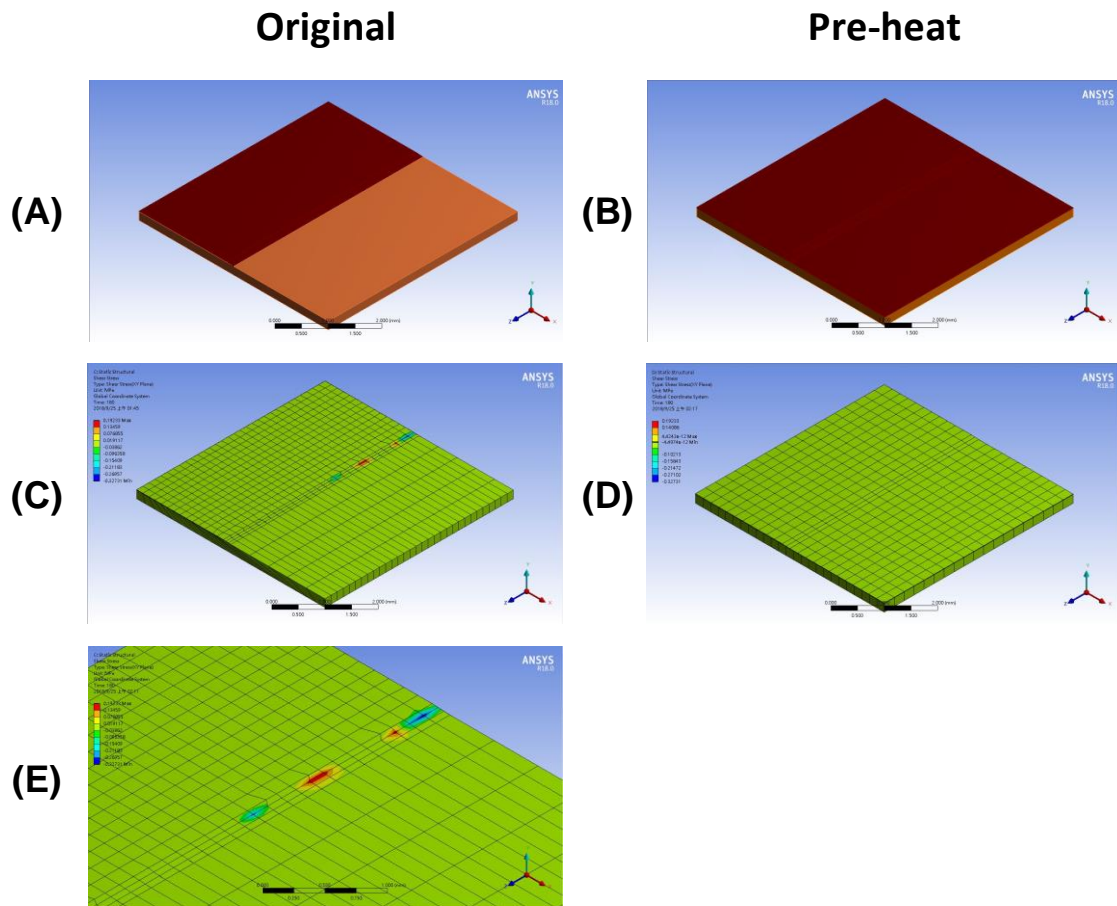


圖 4-7 透過 ANSYS® 模擬不同氧化層結構的內部應力分布，(A)未經過預加熱製程的氧化層簡化結構圖，(B)經過預加熱製程後的氧化層簡化結構圖，(C) 未經過預



加熱製程的模擬結果圖，(D) 經過預加熱製程的模擬結果圖，(E) 未經過預加熱製程的模擬結果硬力集中區域放大圖

## 4.2 銅釘架預加熱製程效能探討

### 4.2.1 銅釘架表面布丁模測試

在前一次的產線測試失敗經驗，我們這次的實驗希望先透過布丁模測試來了解銅釘架表面在不同溫度加熱，隨著加熱時間的增加，其表面與 EMC 之間的接合力變化，結果如圖 4-8 所示，其縱座標為推倒布丁模所需的最大作用力，橫坐標則為銅釘架的加熱時間長短，而分別有三條線，代表著在烘箱內 180°C、200°C 以及 220°C 三個不同溫度的加熱結果，其統計結果會由 20 組樣品測試後所得，但每組樣品都有因為在種布丁模時，人為操作或是表面特性與 EMC 之間無法有效接合而失敗，導致每組樣品能成功進行布丁模測試的數量有異，每組樣品成功進到布丁模測試的個數統計在表 4-4 中，而虛線表示的是未經過處理的銅釘架的布定模測試結果，從圖中可以看到，在烘箱內 180 °C 加熱時，從 10 分鐘開始到 80 分鐘有點緩緩上升的趨勢，但只有在加熱 80 分鐘時，其接合力才與原本的銅釘架一樣，而在烘箱內 200 °C 加熱的曲線中，再加熱一分鐘時，其接合力有比原本的銅釘架好，大概是原本銅釘架的 1.1 倍，而在烘箱內 200 °C 加熱 10 分鐘以及 15 分鐘都有比原本銅釘架更好的接合力表現，最後在烘箱內 220 °C 加熱的結果其表面的接合力都有很好的提升，尤其在烘箱內 220°C 加熱 1~15 分鐘以及 60~80 分鐘的數據提升最高比原本的銅釘架的 2.5 倍之高。然而，有另一項數據顯示如表 4-4 所示，表達每組樣品經過種植布丁模製程後，能成功使 EMC 固著於銅釘架上的數目。從此表格可以發現，在 220°C 的樣品，在 5~40 分鐘之間，能成功種上布丁模的樣品個數都相當的少，只有不到 5 個，更有鑑於在製程中如要使用更高溫的製程，其器具加熱溫度必須拉長，而在製程中拉長製程時間便是增加成本，所以，最後我們選擇了布丁模表現較穩定的烘箱內 200 °C 加熱 1 分鐘及 5 分鐘作為產線測試的預加熱製程溫度與加熱時間。

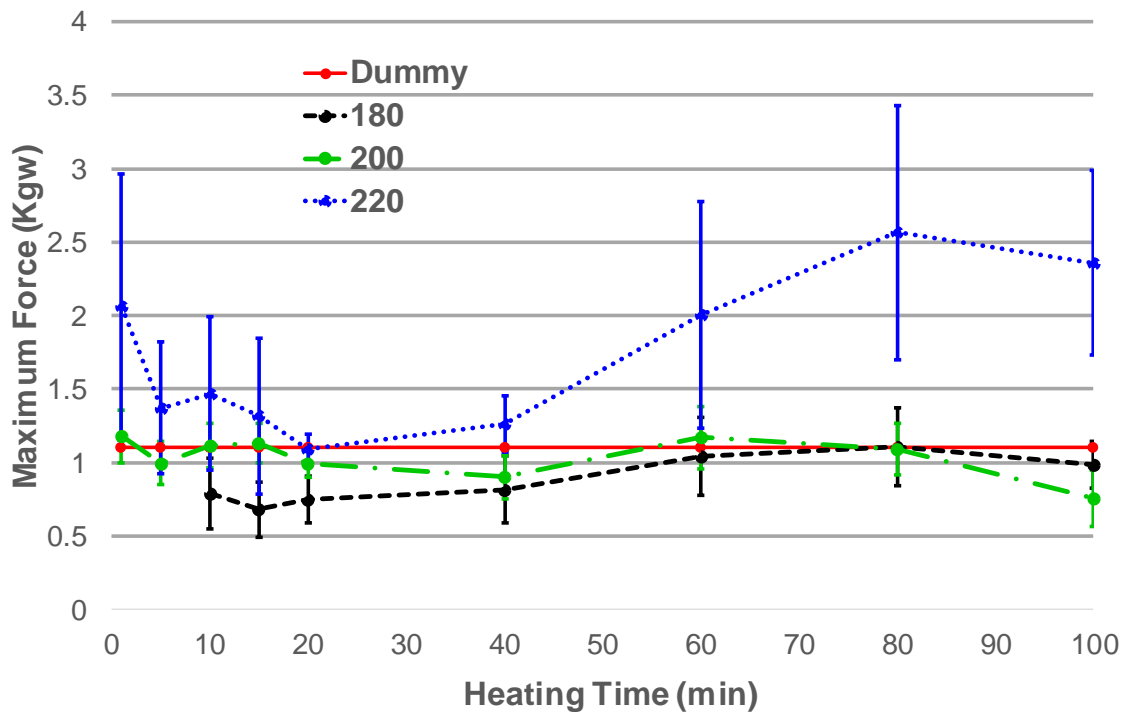


圖 4-8 將不同溫度與加熱時間的銅釘架交到日月光封裝廠進行布丁模的測試結果圖，縱座標為推倒布丁模所需的最大作用力，橫坐標則為加熱的時間

表 4-4 每組樣品中成功種上布丁模的樣品個數

Heating time (min)	1	5	10	15	20	40	60	80	100
180 °C			20	15	14	15	11	14	12
200 °C	13	12	13	16	14	19	19	18	11
220 °C	15	5	5	4	3	2	15	13	16
Original LF : 17									

#### 4.2.2 銅釘架表面氧化層分析

在本研究當中，許多的製程皆是在控制銅釘架表面的氧化狀況，而預加熱製程所生成的氧化層形貌也是我們希望可以探討的因素，於是我們將分別經過 1、5、10 分鐘預加熱製程的銅釘架與未經過預加熱製程的銅釘架一起進行 XPS 的表面縱深分析，藉此來觀察銅釘架表面在不同的預加熱條件下，其銅元素與氧元素之間

的比例關係，可以透過銅與氧之間的原子比來推測其氧化層的組成是 CuO 還是 Cu<sub>2</sub>O，而在最終的結果顯示出，每個不同預加熱參數的 CuO 層厚度差異不大，在金屬的表面而 Cu<sub>2</sub>O 層的厚度則隨著預加熱時間的增加而變厚，從原本未經預加熱製程的 10nm 到經過預加熱 1、5、10 分鐘後的厚度增加為 15 nm、18 nm 與將近 20 nm，而另我們感興趣的是在更深層的銅金屬，因為氧會持續往金屬內部擴散，行成了同時有 Cu<sub>2</sub>O 與 Cu 共存漸層的氧化層，而 Cu<sub>2</sub>O 與 Cu 之間的接合力較弱在許多研究以及本研究的探討都是被證實的，所以當 Cu<sub>2</sub>O 與 Cu 共存漸層的氧化層月厚代表 Cu<sub>2</sub>O 與 Cu 之間的介面就會越模糊，也意味著其接合會相對較強，而的確在 XPS 的結果中，可以看到隨著預加熱製程時間的增加，Cu<sub>2</sub>O 與 Cu 共存漸層的氧化層厚度也隨著增加，Cu<sub>2</sub>O 與 Cu 之間的介面也越不明顯，也呼應了先前布丁模測式中，接合力在經過預加熱製程後得以提升的結果。

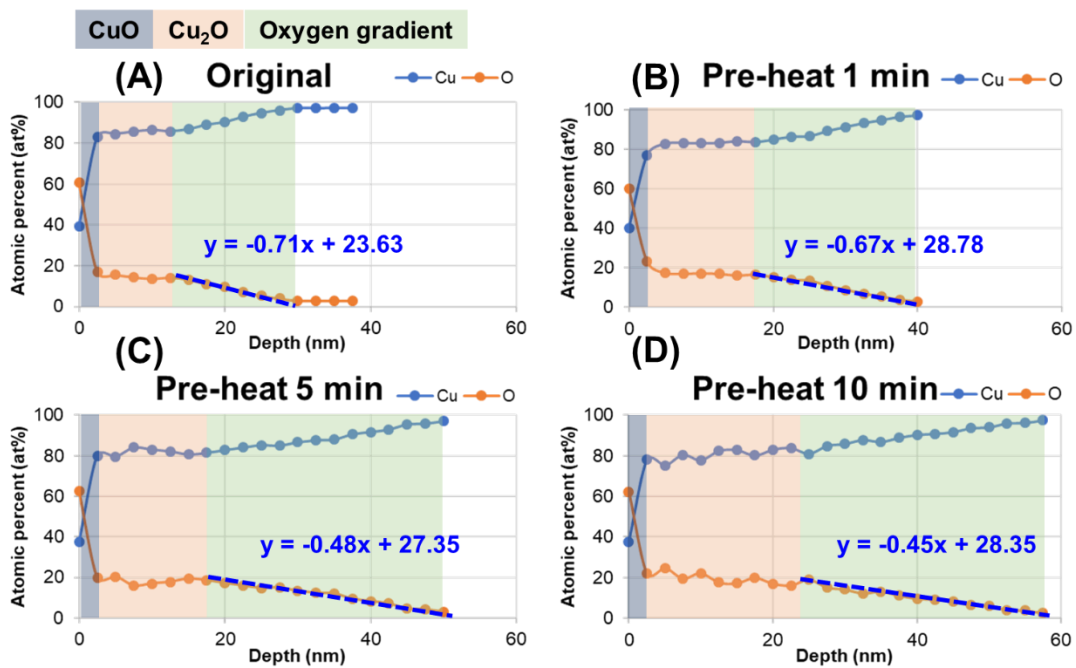


圖 4-9 不同預加熱製程之銅釘架 XPS 表面縱深分析結果，分別：(A)未經過預加熱製程(B)經過 1 分鐘預加熱製程(C)經過 5 分鐘預加熱製程(D)經過 10 分鐘預加熱製程的銅釘架表面氧化層分布結果

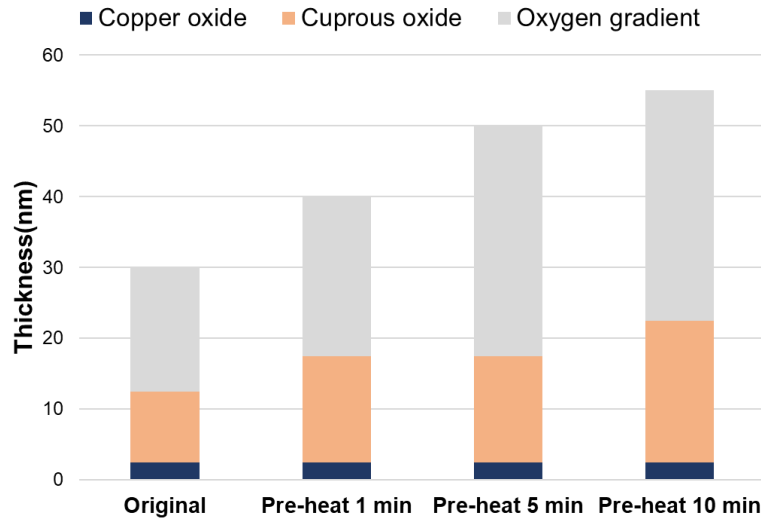


圖 4-10 將原本的銅釘架與預加熱 1、5、10 分鐘的銅釘架其表面氧化層分層與厚度關係作直條圖

對照圖 4-9 的結果做出不同預加熱時間與其表面氧化層厚度的關係圖可以發現，隨著預加熱時間越久表層的氧化銅層沒有明顯的增厚，相對的氧化亞銅層以及更深層的氧原子漸層隨著預加熱時間拉長也越來越厚，從此可知，雖然銅釘架表面的氧化層隨著預加熱製程的操作越來越厚，但卻還是可以有效的讓 IC 不產生脫層現象，顛覆了原有半導體封裝廠對於氧化層增厚造成脫層的觀念。


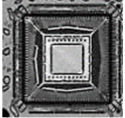
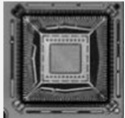
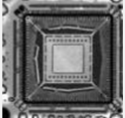


### 4.2.3 產線測試結果

最終我們將經過預加熱製程後的銅釘架進到產線進行測試，我們同時測試的參數有，原本的銅釘架、經過烘箱內烘烤 200°C，1 分鐘的預加熱銅釘架以及經過烘箱內烘烤 200°C，5 分鐘的預加熱銅釘架，三組參數進行產線的測試，每組參數均有 56 個樣品個數，而結果如表 4-5。

在經過產線流程後，原本的銅釘架有 9 個樣品出現脫層現象，而經過烘箱內烘烤 200°C，1 分鐘的預加熱銅釘架以及經過烘箱內烘烤 200°C，5 分鐘的預加熱銅釘架則都沒有出現任何脫層現象，於是更進一步進行溫度循環的可靠度分析，結果原本的銅釘架所有 56 個樣品皆出現了拖層現象，而經過烘箱內烘烤 200°C，1

分鐘的預加熱銅釘架以及經過烘箱內烘烤 200°C，5 分鐘的預加熱銅釘架也還是都沒有出現任何脫層現象，由此結果可以得知，在經過預加熱製程的銅釘架消除原本銅釘架中所產生氧化與未氧化介面，可以有效阻止脫層現象的發生。

表 4-5 預加熱製程銅釘架與原本的銅釘架經過產線測試結果

DoE	Right after packaging SAT			Aged test *3 SAT		
Condition	Sample number	PAD Fail rate	SAT	Sample number	PAD Fail rate	SAT
Original LF	9/56	16.07%		56/56	100%	
Pre-heated LF 200°C, 1 min	0/56	0%		0/56	0%	
Pre-heated LF 200°C, 5 min	0/56	0%		0/56	0%	

# 第五章 結論與未來展望

## 5.1 結論

本研究成功地開發一種簡單針對銅釘架的預加熱製程，透過預加熱的方式，改變封裝中的銅釘架表面氧化層形貌，並且消除在 IC 中的應力集中介面，最終可以有效的解決現今 QFN 封裝製程中的脫層現象。在 QFN 封裝製程中，由於打線製程的需求，銅釘架會經過高溫 200°C 的環境，使其表面產生氧化層，而這一的氧化層往往容易產生脫層，在本研究系統性的探討後有了以下幾點的發現與解決方法：

1. 在研究初期我們透過了在銅釘架上進行多種不同的抗氧化配方，像是有機單分子層吸附、六架鉻鈍化處理以及雙層抗氧化的方式，在加熱影像結果中可以看出我們的抗氧化配方可以成功的減緩氧化的速度，但是進到產線測試時卻無法有效阻止脫層現象的發生，於是推測氧化層厚度並不是造成此製程產生脫層的主要因素。
2. 我們進一步觀察脫層的銅釘架，透過開蓋測試、超音波顯微鏡掃描以及斷面研磨並且透過電子顯微鏡觀測，發現銅釘架的表面會因為覆蓋了晶粒而產生氧化與未氧化的明顯介面，而且脫層的位置與此介面重疊，而且在 ANSYS<sup>®</sup> 模擬分析中，發現這樣的氧化層結構會出現些許應力集中的區域，因此我們斷定此介面是造成脫層的因素之一。
3. 我們開發了預加熱製程，透過將表面預先生成一層均勻的氧化層，來達到消面材料內部的明顯介面，並透過 ANSYS<sup>®</sup> 分析發現，此一方法可以有效地消除因氧化與未氧化介面所產生的應力集中現象。
4. 透過布丁模實驗分析出預加熱製程所適用的加熱溫度以及時間，發現在 200°C 加熱 1 分鐘以及 10 分鐘有比未氧化的銅釘架更好的接合力表現，所以選出此加熱溫度以及時間作為預加熱製程的加熱參數。

5. 最後我們將經過預加熱製程的銅釘架與未經預加熱製程的銅釘架一起進到產線中進行實際測試，並且將 IC 進到可靠度的溫度循環測試，結果未經預加熱製程的銅釘架的脫層機率為 100%，而經過預加熱製程後的銅釘架可以成功的將脫層機率降至 0%，因此驗證了預加熱製程可以有效的解決在此封裝製程中所產生的脫層現象。

## 5.2 未來展望

本研究雖然成功的提出預加熱製程，可以解決在日月光封裝廠的 QFN 製程當中的脫層現象，但本研究的預加熱方式皆是少量的放入烘箱中，如果要將此製程實際應用到產線上仍需更進一步的研究與探討，像是如果同時將大量的銅釘架放入烘箱中進行預加熱烘烤，將需要考慮烘箱內的氧含量會因為大量的銅釘架，其氧含量的分配與補充就需要當作考慮因素之一，以確保預加熱製程所產生的氧化層厚度足夠達到消除氧化與未氧化介面的應力。

在本研究中發現預加熱製程可以有效地解決產線中因不均勻氧化而造成的脫層現象，但預加熱製程所使用的加熱參數以及時間仍可以做更多詳細的探討與研究來最佳化，更甚至在其他不同種的封裝製程中可以應用，來解決其他產品所遇到的脫層問題。

最後，在本實驗中也有發展了幾項抗氧化配方，但因實驗時間要求，以至於對於配方尚未最佳化，而且雖然在本實驗中，抗氧化配方無法有效解決問題，但其抗氧化的功效，如果可以找到適當的應用，也值得我們進一步探討與研究。



## 參考文獻

- [1] G. Kuhnlein, "A design and manufacturing solution for high-reliable, non-leaded CSPs like QFN," in *Electronic Components and Technology Conference, 2001. Proceedings., 51st*, 2001, pp. 47-53.
- [2] 賴新一, "濕熱對黏彈塑性 IC 封裝體脫層破壞之研究," 2000.
- [3] S. Lionheart, "iPhone X Teardown," November 3, 2017.
- [4] H. Ohsuga, H. Suzuki, T. Aihara, and T. Hamano, "Development of molding compounds suited for copper leadframes," in *Electronic Components and Technology Conference, 1994. Proceedings., 44th*, 1994, pp. 141-146
- [5] J.-K. Kim, C. Y. Yue, and J.-H. Hsieh, "Adhesion strengths of epoxy molding compounds to gold-plated copper leadframes," *The Journal of Adhesion*, vol. 73, no. 1, pp. 1-17, 2000.
- [6] S. Kim, "The role of plastic package adhesion in performance," *IEEE Transactions on Components, Hybrids, and Manufacturing Technology*, vol. 14, no. 4, pp. 809-817, 1991.
- [7] R. Y. Agustin, "The effect of glue bond line thickness (BLT) and fillet height on interface delamination," in *Proc. ASEMEP Nat. Tech. Symp*, 2015.
- [8] S. Yi, C. Y. Yue, J.-H. Hsieh, L. Fong, and S. K. Lahiri, "Effects of oxidation and plasma cleaning on the adhesion strength of molding compounds to copper leadframes," *Journal of adhesion science and technology*, vol. 13, no. 7, pp. 789-804, 1999.
- [9] Y. Inoue, K. Sawada, N. Kawamura, and T. Sudo, "A synthetic criterion for level-1 crack-free package-proposal of a superior package structure," in *Electronic Components and Technology Conference, 1996. Proceedings., 46th*, 1996.
- [10] C. J. Vath III, M. Gunasekaran, and R. Malliah, "Factors affecting the long-term stability of Cu/Al ball bonds subjected to standard and extended high temperature storage," *Microelectronics Reliability*, vol. 51, no. 1, pp. 137-147, 2011.
- [11] J. Hsieh and C. Li, "Effects of hollow cathode and Ar/H<sub>2</sub> ratio on plasma cleaning of Cu leadframe," *Thin Solid Films*, vol. 504, no. 1-2, pp. 101-103, 2006.
- [12] S. Lahiri, N. W. Singh, K. Heng, L. Ang, and L. Goh, "Kinetics of oxidation of copper alloy leadframes," *Microelectronics journal*, vol. 29, no. 6, pp. 335-341, 1998.
- [13] S. Yi, L. Shen, J. K. Kim, and C. Y. Yue, "A failure criterion for debonding between encapsulants and leadframes in plastic IC packages," *Journal of Adhesion Science and Technology*, vol. 14, no. 1, pp. 93-105, 2000.
- [14] G. Ang, L. Goh, K. Heng, and S. Lahiri, "Oxidation of copper leadframe," in *Physical and Failure Analysis of Integrated Circuits, 1995., Proceedings of the 1995 5th International Symposium on the*, 1995.
- [15] H. Lee and J. Yu, "Effects of oxidation treatments on the fracture toughness of

- leadframe/epoxy interfaces," *Materials Science and Engineering: A*, vol. 277, no. 1-2, pp. 154-160, 2000.
- [16] M. Lebbai, J.-K. Kim, and W. Szeto, "Surface characteristics and adhesion performance of black oxide coated copper substrates with epoxy resins," *Journal of adhesion science and technology*, vol. 17, no. 11, pp. 1543-1560, 2003.
- [17] S.-J. Cho, K.-W. Paik, and Y.-G. Kim, "The effect of the oxidation of Cu-base leadframe on the interface adhesion between Cu metal and epoxy molding compound," *IEEE Transactions on Components, Packaging, and Manufacturing Technology: Part B*, vol. 20, no. 2, pp. 167-175, 1997.
- [18] S. R. Esa, R. Yahya, A. Hassan, and G. Omar, "Nano-scale copper oxidation on leadframe surface," *Ionics*, vol. 23, no. 2, pp. 319-329, 2017.
- [19] H. Ishida and K. Kelley, "Modified imidazoles: Degradation inhibitors and adhesion promoters for polyimide films on copper substrates," *The Journal of Adhesion*, vol. 36, no. 2-3, pp. 177-191, 1991.
- [20] G. Poling, "Reflection infra-red studies of films formed by benzotriazole on Cu," *Corrosion Science*, vol. 10, no. 5, pp. 359-370, 1970.
- [21] P. Fox, G. Lewis, and P. Boden, "Some chemical aspects of the corrosion inhibition of copper by benzotriazole," *Corrosion Science*, vol. 19, no. 7, pp. 457-467, 1979.
- [22] C. Törnkvist, D. Thierry, J. Bergman, B. Liedberg, and C. Leygraf, "Methyl substitution in benzotriazole and its influence on surface structure and corrosion inhibition," *Journal of the Electrochemical Society*, vol. 136, no. 1, pp. 58-64, 1989.
- [23] J. Walsh *et al.*, "Probing molecular orientation in corrosion inhibition via a NEXAFS study of benzotriazole and related molecules on Cu (100)," *Surface science*, vol. 415, no. 3, pp. 423-432, 1998.
- [24] S. Wernick, R. Pinner, and P. G. Sheasby, "The surface treatment and finishing of aluminum and its alloys," *S. Wernick, R. Pinner, and P. G. Sheasby, 1320 pages, 5th edition, 2 volumes, 492 illustrations, 230 tables and 2534 references. Price. 170(US\$ 340. 00). Book, 1992.*
- [25] G. Brown, K. Shimizu, K. Kobayashi, G. Thompson, and G. Wood, "The morphology, structure and mechanism of growth of chemical conversion coatings on aluminium," *Corrosion science*, vol. 33, no. 9, pp. 1371-1385, 1992.
- [26] G. Brown, K. Shimizu, K. Kobayashi, G. Thompson, and G. Wood, "The growth of chromate conversion coatings on high purity aluminium," *Corrosion Science*, vol. 34, no. 7, pp. 1045-1054, 1993.
- [27] K. Shimizu *et al.*, "Impurity distributions in barrier anodic films on aluminium: a GDOES depth profiling study," *Electrochimica acta*, vol. 44, no. 13, pp. 2297-2306, 1999.
- [28] A. Hughes, R. Taylor, and B. Hinton, "Chromate conversion coatings on 2024 Al

- alloy," *Surface and Interface Analysis: An International Journal devoted to the development and application of techniques for the analysis of surfaces, interfaces and thin films*, vol. 25, no. 4, pp. 223-234, 1997.
- [29] H.-Y. Lee and S.-R. Kim, "Pull-out behavior of oxidized copper leadframes from epoxy molding compounds," *Journal of adhesion science and technology*, vol. 16, no. 6, pp. 621-651, 2002.
- [30] E. Takano, T. Mino, K. Takahashi, K. Sawada, S.-y. Shimizu, and H. Yoo, "The oxidation control of copper leadframe package for prevention of popcorn cracking," in *Electronic Components and Technology Conference, 1997. Proceedings., 47th*, 1997.
- [31] H. Yun, K. Cho, J. An, and C. Park, "Adhesion improvement of copper/epoxy joints," *Journal of materials science*, vol. 27, no. 21, pp. 5811-5817, 1992.
- [32] J. Evans and D. Packham, "Adhesion of polyethylene to copper: Reactions between copper oxides and the polymer," *The Journal of Adhesion*, vol. 9, no. 4, pp. 267-277, 1978.
- [33] S. Yi and K. Sze, "Cooling rate effect on post cure stresses in molded plastic IC packages," *Journal of Electronic Packaging*, vol. 120, no. 4, pp. 385-390, 1998.
- [34] B. Love and P. Packman, "Effects of surface modifications on the peel strength of copper based polymer/metal interfaces with characteristic morphologies," *The Journal of Adhesion*, vol. 40, no. 2-4, pp. 139-150, 1993.
- [35] G. Xue, G. Shi, J. Ding, W. Chang, and R. Chen, "Complex-induced coupling effect: adhesion of some polymers to copper metal promoted by benzimidazole," *Journal of Adhesion Science and Technology*, vol. 4, no. 1, pp. 723-732, 1990.
- [36] C. Lee, W. Hosler, H. Cerva, R. Von Criegern, and A. Parthasarathi, "An analytical characterization and reliability testing of an adhesion enhancing Zn-Cr leadframe coating for popcorn prevention," in *Electronic Components & Technology Conference, 1998. 48th IEEE*, 1998.
- [37] R. Lemons and C. Quate, "Acoustic microscope—scanning version," *Applied Physics Letters*, vol. 24, no. 4, pp. 163-165, 1974.
- [38] G. De Liso, M. Muschitiello, and M. Stucchi, "Failure analysis of encapsulated electronic devices by means of scanning ultrasonic microscopy technique," *Scanning*, vol. 15, no. 4, pp. 236-242, 1993.
- [39] A. Watanabe and I. Omura, "Real-time failure imaging system under power stress for power semiconductors using Scanning Acoustic Tomography (SAT)," *Microelectronics Reliability*, vol. 52, no. 9-10, pp. 2081-2086, 2012.

# 自述

姓名：呂維銘 (Wei-Ming, Lu)

出生日期：1994/05/25

性別：男

出生地：台南市

電子信箱：m053020066@student.nsysu.edu.tw

學歷：

國立中山大學 機械與機電工程研究所 碩士 2016/09~2018/06

國立中山大學 機械與機電工程學系 學士 2012/09~2016/06

發表著作：

國內研討會

1. **呂維銘** 郭展穎 黃祿翔 林哲信, “銅釘架氧化與脫層現象關係探討與解決”, 精密機械與製造科技研討會論文集(The 16th Conference on Precision Machinery and Manufacturing Technology), 台灣, 2018